

(19) 世界知的所有権機関
国際事務局



554541

(43) 国際公開日
2004 年11 月11 日 (11.11.2004)

PCT

(10) 国際公開番号
WO 2004/097939 A1

(51) 国際特許分類⁷: H01L 27/105, 27/108, 21/8242

(21) 国際出願番号: PCT/JP2004/005991

(22) 国際出願日: 2004 年4 月26 日 (26.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-121194 2003 年4 月25 日 (25.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ): 平野 博茂 (HI-
RANO, Hiroshige).

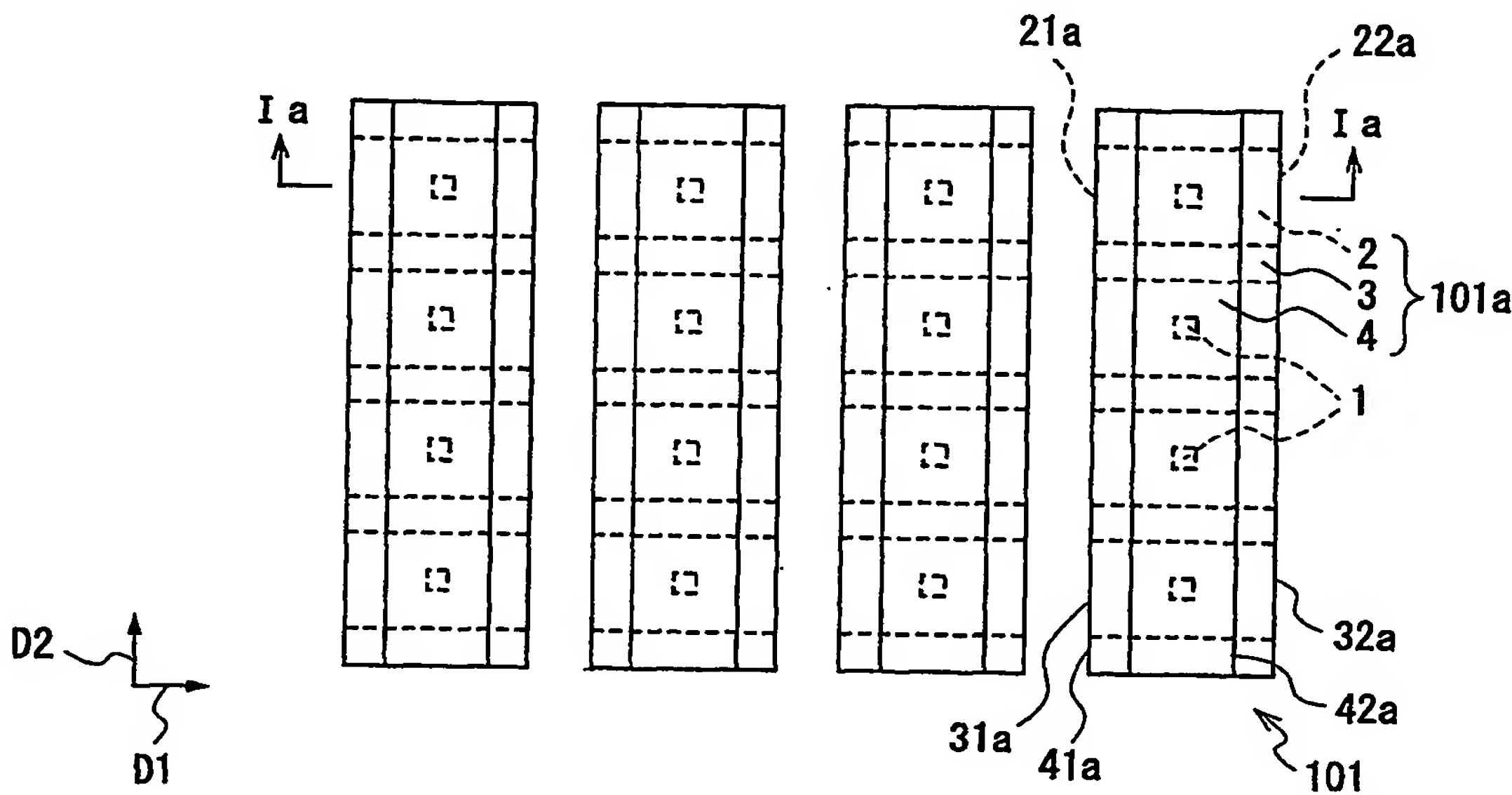
(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大
阪府大阪市淀川区宮原 3 丁目 4 番 3 0 号 ニッセイ
新大阪ビル 1 3 階 早瀬特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: FERROELECTRIC MEMORY DEVICE

(54) 発明の名称: 強誘電体メモリ装置



(57) Abstract: A ferroelectric memory device (101) has memory cells each composed of a memory cell transistor and a memory cell capacitor. Each memory capacitor (101a) is composed of a lower electrode (2) independent from the other lower electrodes, a ferroelectric layer (3) formed on the lower electrode (2), and an upper electrode (4) formed on the ferroelectric layer (3) and connected to other upper electrodes to serve as a plate electrode. The width of the upper electrode is smaller than that of the ferroelectric layer. Since the width of each upper electrode is smaller than that of each ferroelectric layer, current leak between the upper and lower electrodes is prevented. The intervals between the memory cell capacitors can be decreased without causing current leak between the upper and lower electrodes, thereby achieving a smaller memory cell size.

(57) 要約: この発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置 (101) において、各メモリセルキャパシタ (

[続葉有]



A1

WO 2004/097939



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

101a) を、各メモリセルキャパシタ毎に独立した下部電極(2)と、該下部電極(2)上に形成された強誘電体層(3)と、該強誘電体層(3)上に形成され、複数が共通に接続されてプレート電極を形成する上部電極(4)とから構成し、上部電極の幅を、強誘電体層の幅よりも狭くしたものである。この発明に係る強誘電体メモリ装置では、上部電極の幅を強誘電体層の幅より小さくしたことにより、上部電極と下部電極との間での電流リークを防止することができ、これにより、上部電極と下部電極との間での電流リークの発生を招くことなくメモリセルキャパシタの配置間隔を縮小して、より小さいメモリセルサイズを実現することができる。

明 細 書

強誘電体メモリ装置

5 技術分野

本発明は、強誘電体メモリ装置に関し、特にそのメモリセルキャパシタの構造に関するものである。

背景技術

- 10 強誘電体メモリは、印加電圧の極性をデータとして保持する強誘電体キャパシタ（以下、メモリセルキャパシタともいう。）と、該メモリセルキャパシタに対するデータアクセスを行うアクセストランジスタ（以下、メモリセルトランジスタともいう。）とからなるメモリセル構造を有しており、このメモリセル構造の加工方法として、例えば、特開 2002-198494 号公報には、メモリキャパシタの上
- 15 部電極とその強誘電体層とを同じマスクで加工するものが開示されている

第 2 5 (a) 図は、従来の強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第 2 5 (b) 図は、第 2 5 (a) 図の XXV a - XXV a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

- 20 従来の強誘電体メモリ装置 1 0 0 は、メモリセルキャパシタ 1 0 0 a とメモリセルトランジスタ（図示せず）とからなるメモリセルを複数有している。上記強誘電体キャパシタ 1 0 0 a は、基板（図示せず）上に形成された下部電極 1 2 と、該下部電極 1 2 上に形成された強誘電体層 1 3 と、該強誘電体層 1 3 上に形成された上部電極 1 4 とから構成されている。

- 25 ここで、各メモリセルキャパシタの下部電極 1 2 は、各メモリセルキャパシタ毎に独立した電極であり、強誘電体メモリ装置 1 0 0 のメモリセルアレイ（図示せず）上で、第 1 の方向（以下、横方向ともいう。）D 1 及び第 2 の方向（以下、縦方向ともいう。）D 2 に沿ってマトリクス状に配列されている。

上記強誘電体層 3 は、縦方向 D 2 に沿って並ぶ一定数のメモリセルに共通する

ものであり、縦方向D 2に沿って並ぶ複数の下部電極2に跨るよう縦方向D 2に延びている。

上記上部電極4は、上記強誘電体層3と同様、縦方向D 2に沿って並ぶ一定数のメモリセルに共通するものであり、縦方向D 2に沿って並ぶ複数の下部電極2
5 に跨るよう縦方向D 2に延び、縦方向D 2に沿った各下部電極列に対応するプレート電極となっている。

次に上記メモリセル構造の加工工程について簡単に説明する。

まず、メモリセルトランジスタが形成された半導体基板（図示せず）上に絶縁膜（図示せず）を形成した後、該絶縁膜にコンタクト部1を形成し、さらに、全
10 面に下部電極層を形成する。そして、該下部電極層をそれぞれのメモリキャパシタの下部電極1 2に分離されるよう加工し、その後、その上に強誘電体層と上部電極層を順次形成し、これらを同じマスクで加工して、強誘電体膜1 3と上記上部電極1 4であるプレート電極を形成する。

このような従来のメモリセル構造の加工方法では、上部電極と強誘電体層を同
15 じマスクで加工するために、上部電極と下部電極との間で電流リークが発生しないよう、第2 5 (a) 図に示すように上部電極1 4をその幅が下部電極1 2の幅より大きくなるよう加工しなければならないという課題があった。この課題はメモリセルサイズの縮小の障害ともなるものである。

つまり、上部電極1 4は、下部電極1 2の厚みにより凹凸のある下地上に配置
20 されるため、上部電極1 4の加工条件などによっては、上部電極1 4の最小の配置間隔は、平坦な下地上に配置される下部電極1 2の最小の配置間隔に比べて、大きくする必要が生じる。この場合、メモリセルキャパシタの間隔、つまり上部電極1 4と下部電極1 2との重なった領域の配置間隔 d_{12} は、上部電極の最小の配置間隔 d_{14} と、上部電極の左右のエッジが下部電極の左右のエッジからはみ出した距離 $2 \cdot \Delta d$ とを足し合わせた寸法となる。この配置間隔 $d_{12} (= d_{14} + 2 \cdot \Delta d)$ は、下部電極1 2の最小配置間隔に比べてかなり大きな間隔となってしまう。
25

また、メモリセルキャパシタは、上記のように、基板上に下部電極、強誘電体層、及び上部電極を順次積層してなるプレーナ型の構造のものに限らず、立体型

の構造のもの、つまり絶縁膜に形成した矩形形状の開口を有する凹部内に、下部電極、強誘電体層、及び上部電極を積層してなる立体構造のものもある。

第26(a)図は、メモリセルキャパシタを立体構造とした従来の強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第26(b)図及び第26(c)図はそれぞれ、第26(a)図のXXVI a-XXVI a線断面図及びXXVI b-XXVI b線断面図であり、上記強誘電体キャパシタの断面構造を示している。

この強誘電体メモリ装置200は、立体構造のメモリセルキャパシタ200aとメモリセルトランジスタ（図示せず）とからなるメモリセルを複数有している。

このような立体構造のメモリセルキャパシタ200aは、下部電極上の層間絶縁膜に、矩形形状の開口を有する、下部電極に達する貫通孔を形成し、該層間絶縁膜上に、下地電極層、強誘電体層、及び上部電極層を順次、これらの層が該貫通孔の内壁面及び貫通孔開口の周縁部に積層されるよう形成してなるものである。

つまり、上記立体構造のメモリセルキャパシタ200aは、基板（図示せず）上に形成された下部電極22と、該下部電極22上の層間絶縁膜（図示せず）の貫通孔内及びその周縁部に形成された下地電極層25と、該下地電極層25上に形成された強誘電体層23と、該強誘電体層23上に形成された上部電極24とから構成されている。なお、図中、200bは、上記立体構造のメモリセルキャパシタ200aの表面に形成されている凹部である。

ところが、このような立体構造のメモリセルキャパシタは、メモリセルサイズ縮小の要請から、層間絶縁膜に形成する貫通孔開口のサイズを小さくすると、スパッタリングや蒸着などの一般的な成膜処理では、貫通孔内壁面上に、電極層や強誘電体層を薄く形成することが困難となり、その結果、メモリセルキャパシタの容量が激減してしまうこととなるという課題がある。この課題もメモリセルサイズの縮小の障害ともなるものである。

本発明は、上記のような課題を解決するためになされたものであって、プレーナ構造のメモリセルキャパシタの上部電極と下部電極との間で電流リークの発生や立体構造のメモリセルキャパシタの特性劣化を招くことなく、メモリセルキャパシタの配置間隔を縮小して、小さなメモリセルサイズを実現できる強誘電体メ

メモリ装置を提供することを目的とする。

発明の開示

請求の範囲第1項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された、前記下部電極の幅方向をその幅方向とする強誘電体層と、前記強誘電体層の上面に形成された、前記下部電極の幅方向をその幅方向とする上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の幅は、前記強誘電体層の幅より細い、ことを特徴とするものである。

請求の範囲第1項記載の発明によれば、メモリセルキャパシタの上部電極の幅をその強誘電体層の幅より小さくしたので、メモリセルキャパシタの上部電極と下部電極との間で電流リークが発生するのを抑えることができ、これにより、メモリセルキャパシタの配置間隔を、その上部電極と下部電極との間での電流リークの発生を抑えつつ縮小して、小さいメモリセルサイズを実現することができる。

請求の範囲第2項記載の発明は、請求の範囲第1項記載の強誘電体メモリ装置において、前記下部電極の幅は、前記強誘電体層の幅より細い、ことを特徴とするものである。

請求の範囲第2項記載の発明によれば、メモリセルキャパシタの下部電極の幅を、その強誘電体層の幅より細くしたので、メモリセルキャパシタの上部電極と下部電極との間で電流リークが発生するのをより抑制することができる。

請求の範囲第3項記載の発明は、請求の範囲第2項記載の強誘電体メモリ装置において、前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とがほぼ一致している、ことを特徴とするものである。

請求の範囲第3項記載の発明によれば、メモリセルキャパシタの上部電極の幅

と下部電極の幅とをほぼ同じサイズとし、前記上部電極と下部電極とをほぼ重ねて配置したので、メモリセルアレイ上で占める、メモリセルキャパシタの容量素子として動作しない無駄な領域を削減することができる。

請求の範囲第4項記載の発明は、請求の範囲第2項記載の強誘電体メモリ装置
5 において、前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とが異なる、ことを特徴とするものである。

請求の範囲第4項記載の発明によれば、メモリセルキャパシタの上部電極の幅とその下部電極の幅とをほぼ同じサイズとし、前記上部電極と下部電極とをずら
10 して配置したので、前記上部電極と下部電極とのずれ量により、メモリセルキャパシタの容量を調整可能となるという効果がある。

請求の範囲第5項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続され
15 れた下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の1つのエッジの位置が前記強誘電体層のエッ
20 ジの位置とほぼ一致しており、前記上部電極の他のエッジが前記強誘電体層の内側に位置している、ことを特徴とするものである。

請求の範囲第5項記載の発明によれば、メモリセルキャパシタの下部電極をそのエッジが強誘電体層より内側に位置するよう配置したので、上部電極と下部電極との間で電流リークが発生するのを抑制することができるという効果がある。

25 請求の範囲第6項記載の発明は、請求の範囲第5項記載の強誘電体メモリ装置において、前記下部電極の1つのエッジの位置が前記上部電極の1つのエッジの位置とほぼ一致している、ことを特徴とするものである。

請求の範囲第6項記載の発明によれば、メモリセルキャパシタの下部電極の1つのエッジの位置がその上部電極の1つのエッジの位置とほぼ一致しているので、

上部電極の配置間隔を下部電極の配置間隔に合わせてメモリセルサイズを小さくすることが可能となる効果がある。

請求の範囲第7項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の1つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一致しており、前記上部電極の他のエッジが前記強誘電体層より内側に位置しており、前記下部電極の1つのエッジが前記強誘電体層の内側に位置し、かつ下部電極の他のエッジの位置が前記強誘電体層のエッジの位置とほぼ一致している、ことを特徴とするものである。

請求の範囲第7項記載の発明によれば、上部電極の1つのエッジが強誘電体層より内側に位置し、かつ下部電極の1つのエッジが強誘電体層より内側に位置し、さらに、強誘電体層の一方のエッジが上部電極の他のエッジに一致し、強誘電体層の他方のエッジが下部電極の他のエッジに一致しているので、上部電極のエッジから下部電極のエッジに至る沿面距離が最大となって、電流リークの発生をより一層抑えることができる。

請求の範囲第8項記載の発明は、請求の範囲第1項記載の強誘電体メモリ装置において、前記下部電極は、溝型構造を有する、ことを特徴とするものである。

請求の範囲第8項記載の発明によれば、メモリセルキャパシタの下部電極を溝型構造としたので、メモリセルアレイ上でのメモリセルキャパシタの占有面積を増大させることなく、メモリセルキャパシタの容量を増大させることができる。

また、メモリセルキャパシタの立体構造は溝型構造であるため、従来のホール型の立体構造のメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この凹部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ

容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

請求の範囲第 9 項記載の発明は、請求の範囲第 8 項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、ことを特徴とするものである。

- 5 請求の範囲第 9 項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

- 10 請求の範囲第 10 項記載の発明は、請求の範囲第 8 項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向が、前記上部電極の延伸する方向と垂直な方向である、ことを特徴とするものである。

- 15 請求の範囲第 10 項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

- 20 請求の範囲第 11 項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した、溝型構造を有する電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成している、ことを特徴とするものである。

- 25 請求の範囲第 11 項記載の発明によれば、メモリセルキャパシタの下部電極を溝型構造としたので、メモリセルアレイ上でのメモリセルキャパシタの占有面積を増大させることなく、メモリセルキャパシタの容量を増大させることができる。

また、メモリセルキャパシタの立体構造は溝型構造であるため、従来のホール型の立体構造のメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加

工が行ないやすく、また、この凹部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

請求の範囲第 1 2 項記載の発明は、請求の範囲第 1 1 項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、ことを特徴とするものである。

請求の範囲第 1 2 項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

請求の範囲第 1 3 項記載の発明は、請求の範囲第 1 1 項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と垂直な方向である、ことを特徴とするものである。

請求の範囲第 1 3 項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

請求の範囲第 1 4 項記載の発明は、請求の範囲第 1 1 項記載の強誘電体メモリ装置において、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する平面状の第 1 の下部電極部と、前記溝部の側面部および溝部開口周縁部を構成する第 2 の下部電極部と、から構成されている、ことを特徴とするものである。

請求の範囲第 1 4 項記載の発明によれば、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する平面状の第 1 の下部電極部と、前記溝部の側面部および溝部開口周縁部を構成する第 2 の下部電極部と、から構成されているので、溝部の底面部、側面部、及び開口周縁部上には、電極部を同一条件で形成することができ、電極部を構成する導電膜の膜厚や特性を均一なものとできる。

請求の範囲第 1 5 項記載の発明は、請求の範囲第 1 1 項記載の強誘電体メモリ装置において、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する

第1の下部電極部と、前記溝部の側面部のみを構成する第2の下部電極部と、から構成されている、ことを特徴とするものである。

請求の範囲第15項記載の発明によれば、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する第1の下部電極部と、前記溝部の側面部のみを構成する第2の下部電極部と、から構成されているので、下部電極部の、上部電極層をパターン加工するときに上部電極と接触し電流リークを発生させる部分を少なくできるという効果がある。

図面の簡単な説明

10 第1(a)図は、本発明の実施の形態1による強誘電体メモリ装置101を説明する図であり、メモリセルを構成する強誘電体キャパシタ101aの電極のレイアウトを示している。

第1(b)図は、第1(a)図のIa-Ia線断面図であり、上記強誘電体キャパシタ101aの断面構造を示している。

15 第2(a)図は、本発明の実施の形態2による強誘電体メモリ装置102を説明する図であり、メモリセルを構成する強誘電体キャパシタ102aの電極のレイアウトを示している。

第2(b)図は、第2(a)図のIIa-IIa線断面図であり、上記強誘電体キャパシタ102aの断面構造を示している。

20 第3(a)図は、本発明の実施の形態3による強誘電体メモリ装置103を説明する図であり、メモリセルを構成する強誘電体キャパシタ103aの電極のレイアウトを示している。

第3(b)図は、第3(a)図のIIIa-IIIa線断面図であり、上記強誘電体キャパシタ103aの断面構造を示している。

25 第4(a)図は、本発明の実施の形態4による強誘電体メモリ装置104を説明する図であり、メモリセルを構成する強誘電体キャパシタ104aの電極のレイアウトを示している。

第4(b)図は、第4(a)図のIVa-IVa線断面図であり、上記強誘電体キャパシタ104aの断面構造を示している。

第5(a)図は、本発明の実施の形態5による強誘電体メモリ装置105を説明する図であり、メモリセルを構成する強誘電体キャパシタ105aの電極のレイアウトを示している。

第5(b)図は、第5(a)図のVa-Va線断面図であり、上記強誘電体キャパシタ105aの断面構造を示している。

第6(a)図は、本発明の実施の形態6による強誘電体メモリ装置106を説明する図であり、メモリセルを構成する強誘電体キャパシタ106aの電極のレイアウトを示している。

第6(b)図は、第6(a)図のVIa-VIa線断面図であり、上記強誘電体キャパシタ106aの断面構造を示している。

第7(a)図は、本発明の実施の形態7による強誘電体メモリ装置107を説明する図であり、メモリセルを構成する強誘電体キャパシタ107aの電極のレイアウトを示している。

第7(b)図は、第7(a)図のVIIa-VIIa線断面図であり、上記強誘電体キャパシタ107aの断面構造を示している。

第8(a)図は、本発明の実施の形態8による強誘電体メモリ装置108を説明する図であり、メモリセルを構成する強誘電体キャパシタ108aの電極のレイアウトを示している。

第8(b)図は、第8(a)図のVIIIa-VIIIa線断面図であり、上記強誘電体キャパシタ108aの断面構造を示している。

第9(a)図は、本発明の実施の形態9による強誘電体メモリ装置109を説明する図であり、メモリセルを構成する強誘電体キャパシタ109aの電極のレイアウトを示している。

第9(b)図は、第9(a)図のIXa-IXa線断面図であり、上記強誘電体キャパシタ109aの断面構造を示している。

第10(a)図は、本発明の実施の形態10による強誘電体メモリ装置110を説明する図であり、メモリセルを構成する強誘電体キャパシタ110aの電極のレイアウトを示している。

第10(b)図は、第10(a)図のXa-Xa線断面図であり、上記強誘電体キャ

パシタ 1 1 0 a の断面構造を示している。

第 1 1 (a) 図は、本発明の実施の形態 1 1 による強誘電体メモリ装置 1 1 1 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 1 1 a の電極のレイアウトを示している。

- 5 第 1 1 (b) 図は、第 1 1 (a) 図の XI a - XI a 線断面図であり、上記強誘電体キャパシタ 1 1 1 a の断面構造を示している。

第 1 2 (a) 図は、本発明の実施の形態 1 2 による強誘電体メモリ装置 1 1 2 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 1 2 a の電極のレイアウトを示している。

- 10 第 1 2 (b) 図は、第 1 2 (a) 図の XII a - XII a 線断面図であり、上記強誘電体キャパシタ 1 1 2 a の断面構造を示している。

第 1 3 (a) 図は、本発明の実施の形態 1 3 による強誘電体メモリ装置 1 1 3 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 1 3 a の電極のレイアウトを示している。

- 15 第 1 3 (b) 図及び第 1 3 (c) 図は、それぞれ第 1 3 (a) 図の XIII a - XIII a 線断面図及び第 1 3 (a) 図の XIII b - XIII b 線断面図であり、上記強誘電体キャパシタ 1 1 3 a の断面構造を示している。

- 20 第 1 4 (a) 図は、本発明の実施の形態 1 4 による強誘電体メモリ装置 1 1 4 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 1 4 a の電極のレイアウトを示している。

第 1 4 (b) 図及び第 1 4 (c) 図は、それぞれ第 1 4 (a) 図の XIV a - XIV a 線断面図及び第 1 4 (a) 図の XIV b - XIV b 線断面図であり、上記強誘電体キャパシタ 1 1 4 a の断面構造を示している。

- 25 第 1 5 (a) 図は、本発明の実施の形態 1 5 による強誘電体メモリ装置 1 1 5 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 1 5 a の電極のレイアウトを示している。

第 1 5 (b) 図及び第 1 5 (c) 図は、それぞれ第 1 5 (a) 図の XV a - XV a 線断面図及び第 1 5 (a) 図の XV b - XV b 線断面図であり、上記強誘電体キャパシタ 1 1 5 a の断面構造を示している。

第16(a)図は、本発明の実施の形態16による強誘電体メモリ装置116を説明する図であり、メモリセルを構成する強誘電体キャパシタ116aの電極のレイアウトを示している。

第16(b)図及び第16(c)図は、それぞれ第16(a)図の XVI a -XVI a 線断面図及び第16(a)図の XVI b -XVI b 線断面図であり、上記強誘電体キャパシタ116aの断面構造を示している。

第17(a)図は、本発明の実施の形態17による強誘電体メモリ装置117を説明する図であり、メモリセルを構成する強誘電体キャパシタ117aの電極のレイアウトを示している。

第17(b)図及び第17(c)図は、それぞれ第17(a)図の XVII a -XVII a 線断面図及び第17(a)図の XVII b -XVII b 線断面図であり、上記強誘電体キャパシタ117aの断面構造を示している。

第18(a)図は、本発明の実施の形態18による強誘電体メモリ装置118を説明する図であり、メモリセルを構成する強誘電体キャパシタ118aの電極のレイアウトを示している。

第18(b)図及び第18(c)図は、それぞれ第18(a)図の XVIII a -XVIII a 線断面図及び第18(a)図の XVIII b -XVIII b 線断面図であり、上記強誘電体キャパシタ118aの断面構造を示している。

第19(a)図は、本発明の実施の形態19による強誘電体メモリ装置119を説明する図であり、メモリセルを構成する強誘電体キャパシタ119aの電極のレイアウトを示している。

第19(b)図及び第19(c)図は、それぞれ第19(a)図の XIX a -XIX a 線断面図及び第19(a)図の XIX b -XIX b 線断面図であり、上記強誘電体キャパシタ118aの断面構造を示している。

第20(a)図は、本発明の実施の形態20による強誘電体メモリ装置120を説明する図であり、メモリセルを構成する強誘電体キャパシタ120aの電極のレイアウトを示している。

第20(b)図及び第20(c)図は、それぞれ第20(a)図の XX a -XX a 線断面図及び第20(a)図の XVIII b -XVIII b 線断面図であり、上記強誘電体キャパシタ

1 2 0 a の断面構造を示している。

第 2 1 (a) 図は、本発明の実施の形態 2 1 による強誘電体メモリ装置 1 2 1 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 2 1 a の電極のレイアウトを示している。

5 第 2 1 (b) 図及び第 2 1 (c) 図は、それぞれ第 2 1 (a) 図の XXI a - XXI a 線断面図及び第 2 1 (a) 図の XXI b - XXI b 線断面図であり、上記強誘電体キャパシタ 1 2 1 a の断面構造を示している。

第 2 2 (a) 図は、本発明の実施の形態 2 2 による強誘電体メモリ装置 1 2 2 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 2 2 a の電極のレイアウトを示している。

第 2 2 (b) 図及び第 2 2 (c) 図は、それぞれ第 2 2 (a) 図の XXII a - XXII a 線断面図及び第 2 2 (a) 図の XXII b - XXII b 線断面図であり、上記強誘電体キャパシタ 1 2 2 a の断面構造を示している。

第 2 3 (a) 図は、本発明の実施の形態 2 3 による強誘電体メモリ装置 1 2 3 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 2 3 a の電極のレイアウトを示している。

第 2 3 (b) 図及び第 2 3 (c) 図は、それぞれ第 2 3 (a) 図の XXIII a - XXIII a 線断面図及び第 2 3 (a) 図の XXIII b - XXIII b 線断面図であり、上記強誘電体キャパシタ 1 2 3 a の断面構造を示している。

20 第 2 4 (a) 図は、本発明の実施の形態 2 4 による強誘電体メモリ装置 1 2 4 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 2 4 a の電極のレイアウトを示している。

第 2 4 (b) 図及び第 2 4 (c) 図は、それぞれ第 2 4 (a) 図の XXIV a - XXIV a 線断面図及び第 2 4 (a) 図の XXIV b - XXIV b 線断面図であり、上記強誘電体キャパシタ 1 2 4 a の断面構造を示している。

第 2 5 (a) 図は、従来の強誘電体メモリ装置 1 0 0 を説明する図であり、メモリセルを構成する強誘電体キャパシタ 1 0 0 a の電極のレイアウトを示している。

第 2 5 (b) 図は、第 2 5 (a) 図の XXV a - XXV a 線断面図であり、上記強誘電体キャパシタ 1 0 0 a の断面構造を示している。

第26(a)図は、従来の強誘電体メモリ装置200を説明する図であり、メモリセルを構成する強誘電体キャパシタ200aの電極のレイアウトを示している。

第26(b)図及び第26(c)図は、第26(a)図のXXVI a-XXVI a線断面図及び第26(a)図のXXVI b-XXVI b線断面図であり、上記強誘電体キャパシタ200
5 aの断面構造を示している。

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

10 第1(a)図は、本発明の実施の形態1による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第1(b)図は、第1(a)図のI a-I a線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態1の強誘電体メモリ装置101は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、
15 メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタを構成する強誘電体層のエッジより内側に位置しているメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置101のメモリセルアレイ（図示せず）上では、第1の方向（横方向）D1及び第2の方向（縦方向）D2に沿って
20 マトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ101aは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2と、該下部電極2上に形成された強誘電体層3と、該強誘電体層3上に形成された上部電極4とから構成されている。

25 ここで、上記メモリセルキャパシタ101aを構成する下部電極2は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極2は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部1を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここ

で、コンタクト部 1 は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

上記強誘電体層 3 は、第 2 の方向 D 2 に沿って並ぶ一定数のメモリセルに共通するものであり、第 2 の方向 D 2 に沿って並ぶ複数の下部電極 2 に跨るよう第 2 の方向 D 2 に延びている。この強誘電体層 3 の、第 2 の方向 D 2 に平行な左右のエッジ 3 1 a 及び 3 2 a は、強誘電体層 3 の下側に位置する複数の下部電極 2 の、第 2 の方向 D 2 に平行な左右のエッジ 2 1 a 及び 2 2 a と一致、あるいはほぼ一致している。

上記上部電極 4 は、上記強誘電体層 3 と同様、第 2 の方向 D 2 に沿って並ぶ一定数のメモリセルに共通するものであり、第 2 の方向 D 2 に沿って並ぶ複数の下部電極 2 に跨るよう第 2 の方向 D 2 に延びるプレート電極となっている。この上部電極 4 の、第 2 の方向 D 2 に平行な左右のエッジ 4 1 a 及び 4 2 a はそれぞれ、上記強誘電体層 3 の左右のエッジ 3 1 a 及び 3 2 a よりその内側の位置している。

次に、メモリセルキャパシタ 1 0 1 a の下部電極 2、強誘電体層 3、及び上部電極 4 を加工する方法について簡単に説明する。

基板上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト 1 を形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極 2 となるように加工する。なお、このときの下部電極層の加工は、下部電極層を、上部電極 4 の延びる第 2 の方向 D 2 と垂直な第 1 の方向 D 1 に平行なストライプ状となるよう加工し、各下部電極 2 を、第 1 の方向 D 1 に沿って並ぶ複数のコンタクト部 1 に跨る帯状形状にパターンニングすることも可能である。

さらに、その上に強誘電体層及び上部電極層を順次形成し、これらをそれぞれ別のマスクで加工する。このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。つまり、上部電極層の加工に用いるマスクの幅、つまり電極加工マスクの第 1 の方向 D 1 における寸法は、強誘電体層の加工に用いるマスクの幅、つまり強誘電体加工マスクの第 1 の方向 D 1

における寸法より小さい。

実際の製造時には、強誘電体層及び上部電極層の加工は様々な方法で行うことができる。

例えば、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、複数の下部電極 2 に跨る帯状の強誘電体層 3 を形成するという方法（第 1 の加工方法）を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層 3 と、該強誘電体層 3 と同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスクを用いて加工して上部電極を形状する方法（第 2 の加工方法）を用いることができる。

さらに、強誘電体層及び上部電極層の加工には、強誘電体層を強誘電体加工マスクを用いて加工するときに、先に加工された例えばストライプ状の下部電極層も強誘電体加工マスクにより加工して、各メモリセルに対応する下部電極を形成する方法（第 3 の加工方法）も用いることができる。

このように本実施の形態 1 では、メモリセルを、メモリセルキャパシタの上部電極のエッジがその強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、強誘電体層をマスク加工するときに、先に加工された例えばストライプ状の下部電極も加工する場合、下部電極の分離を、強誘電体層の加工と同じマスクで行うことが可能であるという効果もある。つまり、下部電極の加工マスクと強誘電体加工マスクとのマスクずれの影響なく、下部電極の大きさを確保したメモリセル構成を実現可能である。

（実施の形態 2）

第 2 (a) 図は、本発明の実施の形態 2 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示してい

る。また、第2(b)図は、第2(a)図のII a - II a線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態2は、上記実施の形態1における隣接する2本のプレート電極に一つの強誘電体層を対応させた、実施の形態1の応用例であって、実施の形態1
5 における、第2の方向D2に沿った下部電極列毎に配置されている強誘電体層を、第2の方向D2に沿った、隣接する2つの下部電極列に共通する強誘電体層3bとしたものである。従って、この実施の形態2のメモリセル構造は、上部電極4の、縦方向（第2の方向）D2に沿った左右のエッジ4a及び4bが、強誘電体層3bの縦方向D2に沿った左右のエッジ3b1及び3b2より内側に位置する
10 構造となっている。

なお、この実施の形態2では、下部電極層の加工時には、各メモリセルキャパシタの下部電極2の、縦方向の左右のエッジの一方は加工せずに、下部電極層の加工時に加工しなかった下部電極のエッジを、強誘電体層の加工の際に加工するようにしている。これにより、強誘電体層を加工しない部分で、メモリセルキャ
15 パシタの配置間隔を小さくしてメモリセル面積縮小を可能とするものである。

具体的に説明すると、この実施の形態2の強誘電体メモリ装置102のメモリセルアレイ（図示せず）上では、第1の方向D1及び第2の方向D2に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ102aは、基板（図示せず）上に絶縁膜（図示せず）
20 を介して形成された下部電極2と、該下部電極2上に形成された強誘電体層3bと、該強誘電体層3b上に形成された上部電極4とから構成されている。

ここで、上記下部電極2は、実施の形態1におけるものと同一のものであり、下部電極2は、コンタクト部1を介して、メモリセルトランジスタの活性領域（図示せず）に接続されている。

上記強誘電体層3bは、第2の方向D2に沿った、隣接する2つのメモリセル列に共通するものであり、第2の方向D2に沿って並ぶ、隣接する2つの下部電極列に跨る形状となっている。この強誘電体層3bの、第2の方向D2に平行な左エッジ31aは、強誘電体層3bの下側に相対向して位置する2つの下部電極列の左側列の下部電極2の、第2の方向D2に平行な左エッジ21aと一致、あ
25

るいはほぼ一致している。この強誘電体層 3 b の、第 2 の方向 D 2 に平行な右エッジ 3 2 a は、強誘電体層 3 b の下側に相対向して位置する 2 つの下部電極列の右側列の下部電極 2 の、第 2 の方向 D 2 に平行な右エッジ 2 2 a と一致、あるいはほぼ一致している。

- 5 上記上部電極 4 は、実施の形態 1 におけるものと同一のものであり、この上部電極 4 の、第 2 の方向 D 2 に平行な左右のエッジ 4 1 a 及び 4 2 a はそれぞれ、上記強誘電体層 3 b の左右のエッジ 3 1 a 及び 3 2 a より内側に位置している。

次に、メモリセルキャパシタ 1 0 1 a の下部電極 2、強誘電体層 3 b、及び上部電極 4 を加工する方法について簡単に説明する。

- 10 まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部 1 を、実施の形態 1 と同様に形成する。

- 次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極 2 となるように加工する。このとき、下部電極層は、第 1 の方向 D 1 に沿って並ぶ隣接する 2 つのコンタクト部 1 にまたがる部分に分離されるよう、
15 加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

- 20 実際の製造時には、強誘電体層及び上部電極層の加工は様々な方法で行うことができる。

- 例えば、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、縦方向 D 2 に沿って並ぶ 2 列の下部電極 2 に跨る幅広の帯状強誘電体層 3 b を形成するという方法
25 (第 1 の加工方法) を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層 3 と、該強誘電体層 3 と同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスク

を用いて加工して上部電極を形状する方法（第2の加工方法）を用いることができる。

さらに、強誘電体層及び上部電極層の加工には、強誘電体層を強誘電体加工マスクを用いて加工するときに、先に加工された例えば、隣接する2つのコンタクト部1にまたがる帯状の下部電極層も強誘電体加工マスクにより加工して、各メモリセルに対応する下部電極を形成する方法（第3の加工方法）も用いることができる。

このように本実施の形態2では、実施の形態1と同様に、メモリセルを、メモリセルキャパシタの上部電極4の左右のエッジをその強誘電体層3bのエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、強誘電体層をマスク加工するときに、先に加工された例えば帯状の下部電極層も加工する場合、下部電極の分離を、強誘電体層の加工と同じマスクを用いて行うことが可能であるという効果もある。

さらに、この実施の形態2では、強誘電体層を隣接する2列の下部電極にまたがる幅広の帯状形状としているので、これらの2つの下部電極列の間で強誘電体膜を分離する加工が行われなない。このため、実施の形態1よりメモリセル面積縮小が可能であるという効果がある。

なお、上記実施の形態2では、強誘電体層を2本のプレート線にまたがるよう加工しているが、強誘電体層は、3本以上のプレート線にまたがるよう加工してもよい。

（実施の形態3）

第3(a)図は、本発明の実施の形態3による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第3(b)図は、第3(a)図のⅢa-Ⅲa線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態3の強誘電体メモリ装置103は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタの強誘電

体層のエッジより内側に位置し、メモリセルキャパシタの下電極層のエッジもその強誘電体層のエッジより内側に位置するメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置 103 のメモリセルアレイ（図示せず）上では、第 1 の方向 D1 及び第 2 の方向 D2 に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ 103a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2c と、該下部電極 2c 上に形成された強誘電体層 3c と、該強誘電体層 3c 上に形成された上部電極 4c とから構成されている。

ここで、上記下部電極 2c は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極 2c は、メモリセルアレイ上でマトリクス状に配列されており、各下部電極 2c は、上記絶縁膜を貫通するコンタクト部 1 を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部 1 は、実施の形態 1 と同様、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

上記強誘電体層 3c は、第 2 の方向 D2 に沿って並ぶ一定数のメモリセルに共通するものであり、第 2 の方向 D2 に沿って並ぶ複数の下部電極 2c に跨るよう第 2 の方向 D2 に延びている。この強誘電体層 3c の、第 2 の方向 D2 に平行な左右のエッジ 31c 及び 32c は、強誘電体層 3 の下側に位置する複数の下部電極 2c の、第 2 の方向 D2 に平行な左右のエッジ 21c 及び 22c の外側に位置している。

上記上部電極 4c は、上記強誘電体層 3c と同様、第 2 の方向 D2 に沿って並ぶ一定数のメモリセルに共通するものであり、第 2 の方向 D2 に沿って並ぶ複数の下部電極 2c に跨るよう第 2 の方向 D2 に延びるプレート電極となっている。この上部電極 4c の、第 2 の方向 D2 に平行な左右のエッジ 41c 及び 42c はそれぞれ、上記強誘電体層 3c の左右のエッジ 31c 及び 32c より内側であって、上記上部電極 2c の左右のエッジ 21c 及び 22c の外側に位置している。

次に、メモリセルキャパシタ 101a の下部電極 2c、強誘電体層 3c、及び上部電極 4c を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜及びコンタクト部を、実施の形態 1 と

同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極 2 c となるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層
5 及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

10 つまり、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極 4 c を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、複数の下部電極 2 c に跨る帯状の強誘電体層 3 c を形成するという方法（第 1 の加工方法）を用いることができる。

15 また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層 3 c と、該強誘電体層 3 c と同じ平面パターンを有する上部電極層を形成し、その後、該上部電極層を電極加工マスクを用いて加工して上部電極 4 c を形状する方法（第 2 の加工方法）を用いることができる。

20 このように本実施の形態 3 ではメモリセルを、実施の形態 1 と同様に、上部電極 4 c のエッジ 4 1 c 及び 4 2 c が、強誘電体層 3 c のエッジ 3 1 c 及び 3 2 c より内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを起こりにくくすることができるという効果がある。

また、この実施の形態 3 では、実施の形態 1 とは異なり、下部電極 2 c のエッジ 2 1 c 及び 2 2 c が、強誘電体層 3 c のエッジ 3 1 c 及び 3 2 c より内側に位置するので、より下部電極と上部電極との間での電流リークをより起こりにくくすることができる効果がある。

（実施の形態 4）

第 4 (a) 図は、本発明の実施の形態 4 による強誘電体メモリ装置を説明する図で

あり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第4(b)図は、第4(a)図のIV a - IV a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

5 本実施の形態4は、上記実施の形態3における隣接する2本のプレート電極に一つの強誘電体層を対応させた、実施の形態3の応用例であって、実施の形態3における、第2の方向D2に沿った下部電極列毎に配置されている強誘電体層を、第2の方向D2に沿った、隣接する2つの下部電極列に共通する強誘電体層3dとしたものである。従って、この実施の形態4のメモリセル構造は、上部電極4cの、縦方向（第2の方向）D2に沿った左右のエッジ41c及び42cが、強
10 誘電体層3dの縦方向D2に沿った左右のエッジ31d及び32dより内側に位置し、下部電極2cの、縦方向（第2の方向）D2に沿った左右のエッジ21c及び22cが、強誘電体層3dの縦方向D2に沿った左右のエッジ31d及び32dより内側に位置する構造となっている。

具体的に説明すると、この実施の形態4の強誘電体メモリ装置104のメモリ
15 セルアレイ（図示せず）上では、第1の方向D1及び第2の方向D2に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ104aは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2cと、該下部電極2c上に形成された強誘電体層3dと、該強誘電体層3d上に形成された上部電極4cとから構成されている。

20 ここで、上記下部電極2cは、実施の形態3におけるものと同一のものであり、下部電極2cは、コンタクト部1を介して、メモリセルトランジスタの活性領域（図示せず）に接続されている。

上記強誘電体層3dは、第2の方向D2に沿った、隣接する2つのメモリセル列に共通するものであり、第2の方向D2に沿って並ぶ、隣接する2つの下部電
25 極列に跨る形状となっている。この隣接する2列の下部電極の第2の方向D2に平行な左右のエッジ21c及び22cは、強誘電体層3dの、第2の方向D2に平行な左右のエッジ31d、32dの内側に位置している。

上記上部電極4cは、実施の形態3におけるものと同一のものであり、この上部電極4cの、第2の方向D2に平行な左右のエッジ41c及び42cはそれぞれ

れ、上記強誘電体層 3 d の左右のエッジ 3 1 c 及び 3 2 c より内側の位置している。

次に、メモリセルキャパシタ 1 0 3 a の下部電極 2 c、強誘電体層 3 d、及び上部電極 4 c を加工する方法について簡単に説明する。

- 5 まず、メモリセルトランジスタ、絶縁膜及びコンタクト部 1 を、実施の形態 3 と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極 2 c となるように加工する。

- 10 その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

- 15 つまり、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極 4 c を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、縦方向 D 2 に沿って並ぶ 2 列の下部電極 2 に跨る幅広の帯状強誘電体層 3 d を形成するという方法（第 1 の加工方法）を用いることができる。

- 20 また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層 3 d と、該強誘電体層 3 d と同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスクを用いて加工して上部電極 4 c を形状する方法（第 2 の加工方法）を用いることができる。

- 25 このように本実施の形態 4 では、メモリセルを、メモリセルキャパシタの上部電極 4 c の左右のエッジがその強誘電体層 3 d のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、この実施の形態 4 では、実施の形態 1 とは異なり、下部電極 2 c のエッ

ジ 2 1 c 及び 2 2 c が、強誘電体層 3 d のエッジ 3 1 d 及び 3 2 d より内側に位置するので、より下部電極と上部電極との間での電流リークをより起こりにくくすることができる効果がある。

さらに、この実施の形態 4 では、強誘電体層を隣接する 2 列の下部電極にまたがる幅広の帯状形状としているので、これらの 2 つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態 3 に比べてよりメモリセル面積縮小が可能であるという効果がある。

(実施の形態 5)

第 5 (a) 図は、本発明の実施の形態 5 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第 5 (b) 図は、第 5 (a) 図の V a - V a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 5 の強誘電体メモリ装置 1 0 5 は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが強誘電体層のエッジより内側に位置し、下電極層のエッジも強誘電体層のエッジより内側に位置し、上部電極と下部電極の幅が同じあるいはほぼ同じであり、上部電極と下部電極が重なるよう同じ位置に位置しているメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置 1 0 5 のメモリセルアレイ（図示せず）上では、第 1 の方向 D 1 及び第 2 の方向 D 2 に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ 1 0 5 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 c と、該下部電極 2 c 上に形成された強誘電体層 3 と、該強誘電体層 3 上に形成された上部電極 4 とから構成されている。

ここで、上記下部電極 2 c は、実施の形態 3 におけるものと同一であり、下部電極 2 c は、実施の形態 3 と同様、コンタクト部 1 を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。また、上記強誘電体層 3 及び上部電極 4 は、実施の形態 1 におけるものと同一のものである。この強誘電体層 3 の、第 2 の方向 D 2 に平行な左右のエッジ 3 1 a

及び3 2 aは、強誘電体層3の下側に位置する複数の下部電極2の、第2の方向D 2に平行な左右のエッジ2 1 a及び2 2 aの外側に位置している。

この上部電極4の、第2の方向D 2に平行な左右のエッジ4 1 a及び4 2 aはそれぞれ、上記強誘電体層3の左右のエッジ3 1 a及び3 2 aより内側に位置し、
5 上記上部電極2 cの左右のエッジ2 1 c及び2 2 cと同じ位置、あるいはほぼ同じ位置に位置している。

次に、メモリセルキャパシタ1 0 5 aの下部電極2 c、強誘電体層3、及び上部電極4を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態1
10 と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極2 cとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

15 このとき、上部電極の加工には、強誘電体層の加工マスクよりも細く、下部電極の加工マスクと同じ幅あるいはほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態3と同様、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

20 このように本実施の形態5では、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側に位置しているため、上部電極と下部電極との間での電流リークがないという効果がある。さらに、上部電極と下部電極の幅がほぼ同じで、かつこれらの電極が同じ位置に位置しているため、メモリセルを、小さなメモリセル面積で大きなキャパシタ有効面積を確保した構造とすることができるという効果がある。
25

(実施の形態6)

第6(a)図は、本発明の実施の形態6による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第6(b)図は、第6(a)図のVI a－VI a線断面図であり、上記強誘電体

キャパシタの断面構造を示している。

本実施の形態6は、上記実施の形態5における隣接する2本のプレート電極(上部電極)に一つの強誘電体層を対応させた、実施の形態5の応用例であって、実施の形態5における、第2の方向D2に沿った下部電極列毎に配置されている強
5 誘電体層3を、第2の方向D2に沿った、隣接する2つの下部電極列に共通する強誘電体層3fとしたものである。

従って、ここでは、メモリセルキャパシタ106aは、上記上部電極4、強誘電体層3f、及び下部電極2cから構成されている。そして、この実施の形態6のメモリセル構造は、上部電極4の、縦方向(第2の方向)D2に沿った左右の
10 エッジ41a及び42aが、強誘電体層3fの縦方向D2に沿った左右のエッジ31f及び32fより内側に位置し、下部電極2cの、縦方向(第2の方向)D2に沿った左右のエッジ21c及び22cが、強誘電体層3fの縦方向D2に沿った左右のエッジ31f及び32fより内側に位置し、上部電極と下部電極の幅がほぼ同じで、上部電極と下部電極とのメモリセルアレイ上での第1の方向D1
15 における位置が同じである構造となっている。

次に、メモリセルキャパシタ106aの下部電極2c、強誘電体層3f、及び上部電極4を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部1を、実施の形態5と同様に形成する。

20 次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極2cとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より
25 狭い幅のマスクを用いる。

実際の製造時には、実施の形態4のように、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態6では、メモリセルを、上部電極4の左右のエッジが

強誘電体層 3 f の左右のエッジより内側に位置し、下部電極 2 c の左右のエッジが強誘電体層 3 f の左右のエッジより内側に位置しているので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極の幅がほぼ同じで、これらの電極が同じ位置に位置しているため、メモリセルを、小さなメモリセル面積で大きなキャパシタ有効面積を確保した構造とすることができるという効果がある。

さらに、この実施の形態 6 では、強誘電体層 3 f を隣接する 2 列の下部電極 2 c にまたがる幅広の帯状形状としているので、これらの 2 つの下部電極列の間で強誘電体膜を分離する加工が行われないう。このため、実施の形態 5 よりメモリセル面積縮小が可能であるという効果がある。

(実施の形態 7)

第 7 (a) 図は、本発明の実施の形態 7 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第 7 (b) 図は、第 7 (a) 図の VII a - VII a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 7 の強誘電体メモリ装置 1 0 7 は、実施の形態 5 における上部電極と下部電極とを第 1 の方向 D 1 に沿ってずらして配置したメモリセル構造を有するものであり、メモリセルキャパシタの上部電極のエッジが強誘電体層のエッジより内側に位置し、下電極層のエッジも強誘電体層のエッジより内側に位置している。

具体的に説明すると、強誘電体メモリ装置 1 0 7 のメモリセルアレイ（図示せず）上では、第 1 の方向 D 1 及び第 2 の方向 D 2 に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ 1 0 7 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 g と、該下部電極 2 g 上に形成された強誘電体層 3 と、該強誘電体層 3 上に形成された上部電極 4 g とから構成されている。

ここで、上記下部電極 2 g は、実施の形態 5 の下部電極 2 c を、そのエッジ 2 1 c 及び 2 2 c が強誘電体層 3 のエッジ 3 1 a 及び 3 2 a の外側に出ないように、第 1 の方向 D 1 に沿って紙面左側へずらしたものである。上記強誘電体層 3 は、

実施の形態5におけるものと同一のものである。上記上部電極4gは、実施の形態5の上部電極4を、そのエッジ41a及び42aが強誘電体層3のエッジ31a及び32aの外側に出ないように、第1の方向D1に沿って紙面右側へずらしたものである。なお、21g及び22gは、下部電極2gの左右のエッジ、41g及び42gは、上部電極4gの左右のエッジである。

次に、メモリセルキャパシタ107aの下部電極2g、強誘電体層3、及び上部電極4gを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態1と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極2cとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態3で説明したように、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態7では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極を第1の方向Dに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

(実施の形態8)

第8(a)図は、本発明の実施の形態8による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示してい

る。また、第8(b)図は、第8(a)図のⅧa－Ⅷa線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態8は、上記実施の形態7における隣接する2本のプレート電極(つまり上部電極)に一つの強誘電体層を対応させた、実施の形態7の応用例であって、実施の形態7における、第2の方向D2に沿った下部電極列毎に配置されている強誘電体層を、第2の方向D2に沿った、隣接する2つの下部電極列に共通する強誘電体層3hとしたものである。

従って、ここでは、メモリセルキャパシタ108aは、上記上部電極4g、強誘電体層3h、及び下部電極2gにより構成されている。また、この実施の形態8のメモリセル構造は、上部電極4gの、縦方向(第2の方向)D2に沿った左右のエッジ41g及び42gが、強誘電体層3hの縦方向D2に沿った左右のエッジ31h及び32hより内側に位置し、下部電極2gの、縦方向(第2の方向)D2に沿った左右のエッジ21g及び22gが、強誘電体層3hの縦方向D2に沿った左右のエッジ31h及び32hより内側に位置する構造となっている。

次に、メモリセルキャパシタ108aの下部電極2g、強誘電体層3h、及び上部電極4gを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜及びコンタクト部1を、実施の形態7と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極2gとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極の加工には、強誘電体層の加工マスクよりも細く下部電極の加工マスクとほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態4のように上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態8では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側

に位置しているため、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極を第1の方向Dに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャ
5 パシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

さらに、この実施の形態8では、強誘電体層を隣接する2列の下部電極にまたがる幅広の帯状形状としているので、これらの2つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態7よりメモリセル面積縮
10 小が可能であるという効果がある。

(実施の形態9)

第9(a)図は、本発明の実施の形態9による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第9(b)図は、第9(a)図のIXa-IXa線断面図であり、上記強誘電体
15 キャパシタの断面構造を示している。

本実施の形態9の強誘電体メモリ装置109は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジの一部が、該メモリセルキャパシタの強誘電体層のエッジより内側に位置し、上部電極の他のエッジが、該メモリセル
20 キャパシタの強誘電体層のエッジと一致して位置するメモリセル構造を有するものである。

具体的に説明すると、この実施の形態9の強誘電体メモリ装置109のメモリセルアレイ（図示せず）上では、第1の方向D1及び第2の方向D2に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ109aは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2cと、該下部電極2c上に形成された強誘電体層3iと、該強誘電体層3i上に形成された上部電極4cとから構成されている。
25

ここで、上記下部電極2cは、実施の形態3におけるものと同一のものであり、下部電極2cは、コンタクト部1を介して、メモリセルトランジスタの活性領域

(図示せず)に接続されている。

上記強誘電体層 3 i は、第 2 の方向 D 2 に沿った、隣接する 2 つのメモリセル列に共通するものであり、第 2 の方向 D 2 に沿って並ぶ、隣接する 2 つの下部電極列に跨る形状となっている。この隣接する 2 列の下部電極の第 2 の方向 D 2 に
5 平行な左右のエッジ 2 1 c 及び 2 2 c は、強誘電体層 3 i の、第 2 の方向 D 2 に平行な左右のエッジ 3 1 i、3 2 i の内側に位置している。

上記上部電極 4 c は、実施の形態 3 におけるものと同一のものであり、この上部電極 4 c の、第 2 の方向 D 2 に平行な左右のエッジ 4 1 c 及び 4 2 c はそれぞれ、上記強誘電体層 3 i の左右のエッジ 3 1 i 及び 3 2 i よりその内側の位置し
10 ている。

次に、メモリセルキャパシタ 1 0 9 a の下部電極 2 c、強誘電体層 3 i、及び上部電極 4 c を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部 1 を、実施の形態 3 と同様に形成する。

15 次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極 2 c となるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より
20 狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。強誘電体層のエッジと上部電極のエッジとが一致している部分では、強誘電体層加工時に上部電極も同時に加工可能である。

25 このように本実施の形態 9 では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、この実施の形態 9 では、実施の形態 8 と同様、強誘電体層を隣接する 2 列の下部電極にまたがる幅広の帯状形状としているので、これらの 2 つの下部

電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態 8 と同様、よりメモリセル面積縮小が可能であるという効果がある。

(実施の形態 10)

第 10 (a) 図は、本発明の実施の形態 10 による強誘電体メモリ装置を説明する
5 図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 10 (b) 図は、第 10 (a) 図の X a - X a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 10 の強誘電体メモリ装置 110 は、メモリセルトランジスタと
メモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有
10 し、メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタの強誘電体層のエッジより内側に位置し、かつ下部電極のエッジとほぼ同じ位置に位置し、上部電極の他のエッジが、該メモリセルキャパシタの強誘電体層のエッジと一致しているメモリセル構造を有するものである。

言い換えると、この実施の形態 10 のメモリセル構造は、実施の形態 9 におけ
15 る、1つの強誘電体層 3 i に下側に位置する 2 列の下部電極の間隔を、左側列の下部電極の右側エッジ 2 2 j と、右側列の下部電極の左側エッジ 2 1 j とが、それぞれ、強誘電体層 3 i 上の隣接する 2 列の左列の上部電極 4 c の右側エッジ 4 2 c と、隣接する 2 列の右側列の上部電極 4 c の左側エッジ 4 2 c とに一致するよう、狭めたものである。

20 ここで、各メモリセルを構成するメモリセルキャパシタ 110 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 j と、該下部電極 2 j 上に形成された強誘電体層 3 i と、該強誘電体層 3 i 上に形成された上部電極 4 c とから構成されている。

次に、メモリセルキャパシタ 110 a の下部電極 2 j、強誘電体層 3 i、及び
25 上部電極 4 j を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態 1 と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極 2 j となるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

- 5 実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

また、強誘電体層のエッジと一致している上部電極のエッジは、強誘電体層加工時に加工可能である。

- 10 このように本実施の形態10では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、強誘電体層上の上部電極の相対向するエッジの位置が、強誘電体層の下側の2列の下部電極の相対向するエッジの位置とがほぼ一致しているため、メモリセルサイズを小さくできるという効果がある。

- 15 (実施の形態11)

第11(a)図は、本発明の実施の形態11による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第11(b)図は、第11(a)図のXI a - XI a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

- 20 本実施の形態11の強誘電体メモリ装置111は、実施の形態5における上部電極と下部電極とを、第1の方向(横方向)D1に沿ってずらして配置したメモリセル構造を有するものであり、メモリセルキャパシタの上部電極の右側エッジが強誘電体層の右側エッジより内側に位置し、上部電極の左側エッジが強誘電体層の左側エッジと一致し、下電極層の左側エッジが強誘電体層の左側エッジより
25 内側に位置し、上部電極の右側エッジが強誘電体層の右側エッジと一致している。

具体的に説明すると、強誘電体メモリ装置111のメモリセルアレイ(図示せず)上では、第1の方向D1及び第2の方向D2に沿ってマトリクス状にメモリセル(図示せず)が配列されている。各メモリセルを構成するメモリセルキャパシタ111aは、基板(図示せず)上に絶縁膜(図示せず)を介して形成された

下部電極 2 j と、該下部電極 2 j 上に形成された強誘電体層 3 j と、該強誘電体層 3 j 上に形成された上部電極 4 j とから構成されている。

ここで、上記下部電極 2 j は、実施の形態 5 の下部電極 2 c を、その右側エッジ 2 1 c が強誘電体層 3 の右側エッジ 3 1 a に一致するよう、第 1 の方向 D 1 に沿って紙面右側へずらしたものである。上記強誘電体層 3 j は、実施の形態 5 における強誘電体層 3 の幅を小さくしたものである。上記上部電極 4 j は、実施の形態 5 の上部電極 4 を、その左側エッジ 4 1 a が強誘電体層 3 の左側エッジ 3 1 a に一致するよう、第 1 の方向 D 1 に沿って紙面左側へずらしたものである。なお、2 1 j 及び 2 2 j は、下部電極 2 j の左側及び右側のエッジ、4 1 j 及び 4 2 j は、上部電極 4 j の左側及び右側のエッジである。

次に、メモリセルキャパシタ 1 1 1 a の下部電極 2 j、強誘電体層 3 j 及び上部電極 4 j を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態 1 と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極 2 j となるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

強誘電体層のエッジと上部電極のエッジとが一致する部分では、強誘電体層加工時に上部電極も同時に加工可能である。

このように本実施の形態 1 1 では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、上部電極と下部電極を第 1 の方向 D に沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパ

シタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

(実施の形態 1 2)

第 1 2 (a) 図は、本発明の実施の形態 1 2 による強誘電体メモリ装置を説明する
5 図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 1 2 (b) 図は、第 1 2 (a) 図の XII a - XII a 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 1 2 の強誘電体メモリ装置 1 1 2 は、実施の形態 8 の強誘電体メモリ装置 1 0 8 のより具体的なものであり、第 1 2 (a) 図及び第 1 2 (b) 図では、
10 実施の形態 8 の強誘電体メモリ装置 1 0 8 のメモリセルトランジスタや、ビット線などメモリセルアレイが示されている。

具体的に説明すると、強誘電体メモリ装置 1 1 2 のメモリセルアレイ（図示せず）上では、第 1 の方向 D 1 及び第 2 の方向 D 2 に沿ってマトリクス状にメモリセル（図示せず）が配列されている。このメモリセルアレイ上では、メモリセル
15 の配列方向 D 2 に沿ってワード線 1 1 が複数配列され、メモリセルの配列方向 D 1 に沿ってビット線 1 2 が複数配列されている。上記ワード線 1 1 の、メモリセルトランジスタの活性領域上に位置する部分は、該メモリセルトランジスタのゲート電極となっており、また、上記ビット線 1 2 は、ビット線コンタクト部 1 3 を介して上記メモリセルトランジスタの活性領域に接続されている。

20 各メモリセルを構成するメモリセルキャパシタ 1 1 2 a は、基板 1 0 上に絶縁膜（図示せず）を介して形成された下部電極 2 g と、該下部電極 2 g 上に形成された強誘電体層 3 h と、該強誘電体層 3 h 上に形成された上部電極 4 g とから構成されている。ここで、上記下部電極 2 g、強誘電体層 3 h、及び上部電極 4 g は、実施の形態 8 におけるものと同一である。

25 次に、メモリセルキャパシタ 1 1 2 a の下部電極 2 g、強誘電体層 3 h、及び上部電極 4 g を加工する方法について簡単に説明する。

まず、基板 1 0 の表面領域にメモリセルトランジスタの活性領域（図示せず）を形成し、基板 1 0 上にゲート絶縁膜（図示せず）を介してワード線 1 2 を形成する。さらに、層間絶縁膜を形成し、該層間絶縁膜にビット線コンタクト部 1 3

を形成し、その後、ビット線コンタクト部 13 につながるようビット線 11 を形成する。

そして、さらに層間絶縁膜を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極 2g となるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

10 実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態 12 では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジの内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、上部電極と下部電極を第 1 の方向 D に沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

20 さらに、この実施の形態 12 では、実施の形態 8 と同様、強誘電体層を隣接する 2 列の下部電極にまたがる幅広の帯状形状としているので、これらの 2 つの下部電極列の間で強誘電体膜を分離する加工が行われなない。このため、実施の形態 8 と同様に、よりメモリセル面積縮小が可能であるという効果がある。

25 なお、本実施の形態 8 では、ビット線をメモリセルキャパシタより下側に配置しているが、ビット線は、メモリセルキャパシタの上側に配置してもよい。

(実施の形態 13)

第 13 (a) 図は、本発明の実施の形態 13 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 13 (b) 図及び第 13 (c) 図は、それぞれ第 13 (a) 図の XIII a - XIII

a線断面図及び第13(a)図のXIIIb-XIIIb線断面図であり、上記強誘電体キャパシタの断面構造を示している。なお、以下、強誘電体キャパシタはメモリセルキャパシタという。

5 本実施の形態13の強誘電体メモリ装置113は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有している。また、この実施の形態13では、強誘電体メモリ装置のメモリセルは、メモリセルの配列方向D2に沿って、メモリセルキャパシタの複数の下部電極2上にこれらの下部電極2にまたがるよう溝部を形成し、該溝部内及びその周辺領域に下地電極層5、強誘電体層3m、及び上部電極4mを形成したメモリセル構造とし、メモリセルキャパシタの容量を大きくするものである。

15 具体的に説明すると、強誘電体メモリ装置113のメモリセルアレイ（図示せず）上では、第1の方向D1及び第2の方向D2に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ113aは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2と、複数の下部電極2にまたがる帯状溝部内及びその周辺部上に形成された下地電極層5と、該下地電極層5上に形成された強誘電体層3mと、該強誘電体層3m上に形成された上部電極4mとから構成されている。

20 ここで、上記メモリセルキャパシタ113aを構成する下部電極2は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極2は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部1を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部1は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

25 また、上記下部電極上に形成された層間絶縁膜（図示せず）には、複数の下部電極2にまたがるよう帯状開孔（以下溝部ともいう。）が形成されており、上記下地電極層5は、帯状開孔内の下部電極2が露出した領域及びその周辺領域に形成されている。また、上記強誘電体層3mは、上記下地電極層5の上に形成されている。

ここで、強誘電体層 3 m 及び下地電極層 5 は各メモリセルキャパシタ毎に独立したものである。

上記上部電極 4 m は、第 2 の方向 D 2 に沿って並ぶ一定数のメモリセルに共通するものであり、上記溝部内及びその周辺の強誘電体層 3 m 上に、第 2 の方向 D 2 に沿って並ぶ複数の下部電極 2 に跨るよう形成されている。

なお、図中、1 1 3 b は、複数のメモリセルキャパシタ 1 1 3 a にまたがる、第 2 の方向 D 2 に沿って延びる溝部である。

次に、メモリセルキャパシタ 1 1 3 の下部電極 2、下地電極層 5、強誘電体層 3 m、及び上部電極 4 m を加工する方法について簡単に説明する。

10 基板（図示せず）上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト部 1 を形成する。

15 上記のようにコンタクト部 1 を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極 2 となるように加工する。

その後、全面に層間絶縁膜（図示せず）を形成し、該層間絶縁膜に第 2 の方向 D 2 に沿って前記下部電極 2 まで到達するように溝部を形成し、その上に立体構造用の下地電極層 5 を形成する。さらに、下地電極層上に強誘電体層 3 を形成し、この状態で、強誘電体層及び下地電極層を、第 1 の方向 D 1 に沿って並ぶ複数の
20 コンタクト部 1 に跨るよう、第 1 の方向 D 1 に平行なストライプ状に加工する。

次に、全面に上部電極層を形成し、該上部電極層を、第 2 の方向 D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 2 の方向 D 2 に平行なストライプ状に加工する。この際、先にストライプ状に加工した強誘電体層及び下地電極層を、各メモリセルキャパシタに対応するよう加工する。

25 これによって、本実施の形態 1 3 のメモリセル構造を有するメモリセルが形成される。

このように本実施の形態 1 3 では、下部電極 2 の加工に横方向 D 1 のストライプ状のマスクを用い、上部電極 4 m の加工に縦方向のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保

することが可能である。

また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、
5 その層厚を薄く形成しやすいという効果もある。

また、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

この結果、本実施の形態 1 3 では、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。
10

(実施の形態 1 4)

第 1 4 (a) 図は、本発明の実施の形態 1 4 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 1 4 (b) 図及び第 1 4 (c) 図は、それぞれ第 1 4 (a) 図の XIV a - XIV a
15 線断面図及び第 1 4 (a) 図の XIV b - XIV b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 1 4 の強誘電体メモリ装置 1 1 4 は、実施の形態 1 3 の強誘電体メモリ装置 1 1 3 の、上部電極 4 m および強誘電体層 3 m の第 1 の方向 D 1 及び第 2 の方向 D 2 における寸法を、下部電極 2 及び下地電極層 5 の第 1 の方向 D 1
20 及び第 2 の方向 D 2 における寸法より相対的に大きくし、これにより上部電極と下部電極との間での電流リークを抑制する構造としたものである。

具体的には、本実施の形態 1 4 のメモリセルキャパシタ 1 1 4 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 n と、複数の下部電極 2 n にまたがる帯状溝部内及びその周辺部上に形成された下地電極層 5 n
25 と、該下地電極層 5 n 上に形成された強誘電体層 3 m と、該強誘電体層 3 m 上に形成された上部電極 4 m とから構成されている。ここで、下部電極 2 n の横方向 D 1 の寸法及び縦方向 D 2 の寸法は、下地電極層 5 n の横方向 D 1 の寸法及び縦方向 D 2 の寸法と一致しており、下部電極 2 n の横方向 D 1 の寸法及び縦方向 D 2 の寸法は、強誘電体層 3 m の横方向 D 1 の寸法及び縦方向 D 2 の寸法より小さ

い。また、上記上部電極 4 m の横方向 D 1 の寸法は、強誘電体層 3 m の横方向 D 1 の寸法と一致している。

なお、図中、1 1 4 b は、複数のメモリセルキャパシタ 1 1 4 a にまたがる、第 2 の方向 D 2 に沿って延びる溝部である。

- 5 次に、メモリセルキャパシタ 1 1 4 a の下部電極 2 n、下地電極層 5 n、強誘電体層 3 m、及び上部電極 4 m を加工する方法について簡単に説明する。

この実施の形態 1 4 では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

- 10 そしてコンタクト部 1 を形成した後、下部電極層を形成し、この上部に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向 D 2 に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極 2 n 及び下地電極層 5 n を形成する。

- 15 この後、全面に強誘電体層を形成し、強誘電体層を、先に加工した下部電極 2 n の矩形形状よりも大きな矩形形状となるよう加工して強誘電体層 3 m を形成する。

その後、全面に上部電極層を形成し、該上部電極層を、第 2 の方向 D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 2 の方向 D 2 に平行なストライプ状に加工する。

- 20 これにより本実施の形態 1 4 の強誘電体メモリ装置 1 1 4 におけるメモリセル 1 1 4 a が形成される。

このように本実施の形態 1 4 では、下部電極 2 n の縦横のサイズより強誘電体層 3 m の縦横のサイズを大きくしたので、上部電極と下部電極との間での電流リークが生じないメモリセル構造を実現できる。

- 25 また、実施の形態 1 3 と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得る

ことができる。

(実施の形態 1 5)

第 1 5 (a) 図は、本発明の実施の形態 1 5 による強誘電体メモリ装置 1 1 5 を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 1 5 (b) 図及び第 1 5 (c) 図は、それぞれ第 1 5 (a) 図の XV a - XV a 線断面図及び第 1 5 (a) 図の XV b - XV b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 1 5 の強誘電体メモリ装置 1 1 5 は、実施の形態 1 3 の強誘電体メモリ装置 1 1 3 における強誘電体層 3 m を、その上部電極 4 m と同時に加工して、強誘電体層 3 m の平面パターンを、上部電極 4 の平面パターンと同じにしたものである。従って、この実施の形態 1 5 のメモリセル構造は、強誘電体層 3 o の縦方向 D 2 の寸法が下部電極 2 の縦方向の寸法よりも大きくなって、上部電極と下部電極との間での電流リークを抑制する構造となっている。

具体的には、本実施の形態 1 5 のメモリセルキャパシタ 1 1 5 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 と、複数の下部電極 2 にまたがる溝部内及びその周辺部上に形成された下地電極層 5 と、該下地電極層 5 上に形成された強誘電体層 3 o と、該強誘電体層 3 o 上に形成された上部電極 4 m とから構成されている。ここで、下部電極 2 の横方向 D 1 の寸法及び縦方向 D 2 の寸法は、下地電極層 5 の横方向 D 1 の寸法及び縦方向 D 2 の寸法と一致しており、下部電極 2 の横方向 D 1 の寸法は、強誘電体層 3 o の横方向 D 1 の寸法と一致しており、強誘電体層 3 o の縦方向 D 2 の寸法は下部電極 2 の縦方向 D 2 の寸法より大きくなっている。また、上記上部電極 4 m の横方向 D 1 及び縦方向 D 2 の寸法は、強誘電体層 3 o の横方向 D 1 及び縦方向 D 2 の寸法と一致している。

なお、図中、1 1 5 b は、複数のメモリセルキャパシタ 1 1 5 a にまたがる、第 2 の方向 D 2 に沿って延びる溝部である。

次に、メモリセルキャパシタ 1 1 5 a の下部電極 2、下地電極層 5、強誘電体層 3 o、及び上部電極 4 m を加工する方法について簡単に説明する。

この実施の形態 1 5 では、メモリセルトランジスタの形成、絶縁膜の形成、コ

ンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、この上に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向 D 2 に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極 2 及び下地電極層 5 を形成する。

この後、全面に強誘電体層及び上部電極層を形成し、該上部電極層及び強誘電体層を、第 2 の方向 D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 2 の方向 D 2 に平行なストライプ状に加工して、強誘電体層 3 o 及び上部電極 4 m を形成する。

これにより本実施の形態 1 5 の強誘電体メモリ装置 1 1 5 におけるメモリセル 1 1 5 a が形成される。

このように本実施の形態 1 5 では、下部電極の縦方向のサイズより強誘電体層の縦方向のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。

また、実施の形態 1 3 と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

(実施の形態 1 6)

第 1 6 (a) 図は、本発明の実施の形態 1 6 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 1 6 (b) 図及び第 1 6 (c) 図は、それぞれ第 1 6 (a) 図の XVI a - XVI a 線断面図及び第 1 6 (a) 図の XVI b - XVI b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 1 6 の強誘電体メモリ装置 1 1 6 は、実施の形態 1 5 の強誘電体メモリ装置 1 1 5 における下部電極 2 の横方向 D 1 の幅を上部電極 4 m の横方向

D 1 の幅より小さくしたものである。この実施の形態 1 6 の下部電極 2 n は、立体構造用の下地電極層 5 と電氣的に接続されたものであればよい。本実施の形態 1 6 は、下部電極 2 n を小さくすることによって、製造工程にて、異なる下部電極 2 n の間でのショートなどの問題を改善することができるものである。

5 具体的には、本実施の形態 1 6 のメモリセルキャパシタ 1 1 6 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 n と、複数の下部電極 2 n にまたがる溝部内及びその周辺部上に形成された下地電極層 5 と、該下地電極層 5 上に形成された強誘電体層 3 o と、該強誘電体層 3 o 上に形成された上部電極 4 m とから構成されている。ここで、下部電極 2 n の横方向 D 1 の寸法は、下地電極層 5 の横方向 D 1 の寸法より小さく、下部電極 2 n の縦方向 D 2
10 の寸法は、下地電極層 5 の縦方向 D 2 の寸法と一致している。下部電極 2 の横方向 D 1 の寸法は、強誘電体層 3 o の横方向 D 1 の寸法より小さい。また、上記上部電極 4 m の横方向 D 1 及び縦方向 D 2 の寸法は、強誘電体層 3 o の横方向 D 1 及び縦方向 D 2 の寸法と一致している。

15 なお、図中、1 1 6 b は、複数のメモリセルキャパシタ 1 1 6 a にまたがる、第 2 の方向 D 2 に沿って延びる溝部である。

次に、メモリセルキャパシタ 1 1 6 a の下部電極 2 n、下地電極層 5、強誘電体層 3 o、及び上部電極 4 m を加工する方法について簡単に説明する。

この実施の形態 1 6 では、メモリセルトランジスタの形成、絶縁膜の形成、コ
20 ンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、一旦この下部電極層を、第 2 の方向 D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 2 の方向 D 2 に平行なストライプ状に加工する。

その後、全面に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向 D 2 に沿っ
25 て下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状に加工して、下部電極 2 及び下地電極層 5 を形成する。

この後、全面に強誘電体層及び上部電極層を形成し、該上部電極層及び強誘電

体層を、第2の方向D2に沿って並ぶ複数のコンタクト部1に跨るよう、第2の方向D2に平行なストライプ状に加工して、強誘電体層3o及び上部電極4mを形成する。

5 このように本実施の形態16では、下部電極の横方向のサイズより強誘電体層の横方向のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。

また、下部電極2の横方向D1のサイズを小さくすることによって、製造工程にて、異なる下部電極2間でのショートなどの問題を改善する抑制することができる。

10 また、実施の形態13と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得る
15 ことができる。

(実施の形態17)

第17(a)図は、本発明の実施の形態17による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタ117aの電極のレイアウトを示している。第17(b)図及び第17(c)図は、それぞれ第17(a)図の XVII
20 a-XVIIa線断面図及び第17(a)図の XVIIb-XVIIb線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態17の強誘電体メモリ装置117は、実施の形態15の強誘電体メモリ装置115における強誘電体層を、メモリセルアレイ上の全面に広がる構造として、上部電極と下部電極と間での電流リークを抑制するものである。

25 具体的には、本実施の形態17のメモリセルキャパシタ117aは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2と、複数の下部電極2にまたがる溝部内及びその周辺部上に形成された下地電極層5と、該下地電極層5上に形成された強誘電体層3qと、該強誘電体層3q上に形成された上部電極4mとから構成されている。ここで、下部電極2の横方向D1及び縦方向

D 2 の寸法は、下地電極層 5 の横方向 D 1 及び縦方向 D 2 の寸法と一致している。また、上記上部電極 4 m の横方向 D 1 の寸法は、下部電極 4 m の横方向 D 1 の寸法と一致している。強誘電体層 3 q は、横方向 D 1 及び縦方向 D 2 とともに、メモリセルアレイ上の全面にわたって広がった構造となっている。

- 5 次に、メモリセルキャパシタ 1 1 7 a の下部電極 2、下地電極層 5、強誘電体層 3 q、及び上部電極 4 m を加工する方法について簡単に説明する。

この実施の形態 1 7 では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

- そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、この上に
10 層間絶縁膜を形成し、層間絶縁膜に縦方向 D 2 に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を各メモリセル毎に対応する矩形形状に加工する。

- そして、全面に強誘電体層 3 q 及び上部電極層を形成し、該上部電極層を、第 2 の方向 D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 2 の方向 D 2 に
15 平行なストライプ状に加工して、上部電極 4 m を形成する。

これにより本実施の形態 1 7 の強誘電体メモリ装置 1 1 7 におけるメモリセル構造が形成される。

- このように本実施の形態 1 7 では、上部電極のサイズより強誘電体層のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。
20

- また、実施の形態 1 3 と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ない
25 いやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

また、上部電極 4 m と下地電極層 5 との位置関係がマスクずれによって左右方向に変化した場合でも、各メモリセルの容量は同じものとなる。また、上部電極 4 m と下地電極層 5 との位置関係が変動しないようにすることによりメモリセル

の容量値も安定させることができる。

(実施の形態 18)

第 18 (a) 図は、本発明の実施の形態 18 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 18 (b) 図及び第 18 (c) 図は、それぞれ第 18 (a) 図の XVIII a - XVIII a 線断面図及び第 18 (a) 図の XVIII b - XVIII b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 18 の強誘電体メモリ装置 118 は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有している。また、この実施の形態 18 の強誘電体メモリ装置 118 は、メモリセルを、メモリセルキャパシタの下部電極 2 上に横方向 D1 に沿った溝部を形成し、該溝部内及びその周辺領域に下地電極層 5 r、強誘電体層 3 r、及び上部電極 4 r を形成してなるメモリセル構造とし、メモリセルキャパシタの容量を大きくしたものである。

具体的に説明すると、強誘電体メモリ装置 118 のメモリセルアレイ（図示せず）上では、第 1 の方向 D1 及び第 2 の方向 D2 に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ 118 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 と、複数の下部電極 2 にまたがる帯状溝部内及びその周辺部上に形成された下地電極層 5 r と、該下地電極層 5 r 上に形成された強誘電体層 3 r と、該強誘電体層 3 r 上に形成された上部電極 4 r とから構成されている。

ここで、上記メモリセルキャパシタ 118 a を構成する下部電極 2 は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極 2 は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部 1 を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部 1 は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

また、上記下部電極 2 上に形成された層間絶縁膜（図示せず）には、第 1 の方

向D 1に沿って、複数の下部電極2にまたがるよう帯状開孔（溝部）が形成されており、上記下地電極層5 rは、溝部内の下部電極2が露出した領域及びその周辺領域に形成されている。また、上記強誘電体層3 rは、上記下地電極層5 rの上に形成されている。

5 ここで、強誘電体層3 r及び下地電極層5 rは各メモリセルキャパシタ毎に独立したものである。

上記上部電極4 rは、第2の方向D 2に沿って並ぶ一定数のメモリセルに共通するものであり、上記溝部内及びその周辺の強誘電体層3 r上に、第2の方向D 2に沿って並ぶ複数の下部電極2に跨るよう形成されている。

10 なお、図中、1 1 8 bは、各メモリセルキャパシタ1 1 8 aにおける、第1の方向D 1に沿った溝部である。

次に、メモリセルキャパシタ1 1 8 aの下部電極2、下地電極層5 r、強誘電体層3 r、及び上部電極4 rを加工する方法について簡単に説明する。

15 基板（図示せず）上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト1を形成する。

上記のようにコンタクト1を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極2となるように加工する。

20 この上に層間絶縁膜を形成し、該層間絶縁膜に第1の方向D 1に沿って前記下部電極2まで到達するように溝部を形成し、その上に立体構造用の下地電極層を形成する。さらに、下地電極層上に強誘電体層を形成し、この状態で、強誘電体層及び下地電極層を、第1の方向D 1に沿って並ぶ複数のコンタクト部1に跨るよう、第1の方向D 1に平行なストライプ状に加工する。

25 次に、全面に上部電極層を形成し、該上部電極層を、第2の方向D 2に沿って並ぶ複数のコンタクト部1に跨るよう、第2の方向D 2に平行なストライプ状に加工する。これによって、本実施の形態1 8の強誘電体メモリ装置1 1 8におけるメモリセル構造が形成される。

このように本実施の形態1 8では、下部電極2の加工に横方向D 1のストライ

ブ状のマスクを用い、上部電極 4 r の加工に縦方向のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保することが可能である。

5 また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。

10 また、本実施の形態 18 では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

(実施の形態 19)

15 第 19 (a) 図は、本発明の実施の形態 19 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 19 (b) 図及び第 19 (c) 図は、それぞれ第 19 (a) 図の XIX a - XIX a 線断面図及び第 19 (a) 図の XIX b - XIX b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

20 本実施の形態 19 の強誘電体メモリ装置 119 は、実施の形態 18 の強誘電体メモリ装置 118 における、下部電極 2 s 及び立体用の下地電極層 5 s の縦横のサイズを、強誘電体層 3 r の縦横のサイズよりも小さくしたものである。

25 具体的には、本実施の形態 19 のメモリセルキャパシタ 119 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 s と、下部電極 2 s 上の層間絶縁膜に形成された溝部内及びその周辺部上に形成された下地電極層 5 s と、該下地電極層 5 s 上に形成された強誘電体層 3 r と、該強誘電体層 3 r 上に形成された上部電極 4 r とから構成されている。ここで、下部電極 2 s の横方向 D 1 及び横方向 D 2 の寸法は、下地電極層 5 の横方向 D 1 及び縦方向 D 2 の寸法と一致している。下部電極 2 s の横方向 D 1 及び縦方向 D 2 の寸法は、強誘電体層 3 r の横方向 D 1 及び縦方向 D 2 の寸法より小さい。

なお、図中、119bは、各メモリセルキャパシタ119aにおける、第1の方向D1に沿った溝部である。

次に、メモリセルキャパシタ119aの下部電極2s、下地電極層5s、強誘電体層3r、及び上部電極4rを加工する方法について簡単に説明する。

- 5 この実施の形態19では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部1の形成は、実施の形態13と同様に行われる。

そして、コンタクト部1を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極2sを形成する。

- 10 この上に層間絶縁膜を形成し、層間絶縁膜に縦方向D1に沿って下部電極まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を、下部電極2sと同じ矩形形状となるよう加工して下地電極層5sを形成する。

- さらに、強誘電体層3を形成し、該強誘電体層を、第1の方向D1に沿って並ぶ複数のコンタクト部1に跨るよう、第1の方向D1に平行なストライプ状に加工する。

次に、上部電極層を形成し、該上部電極層及び強誘電体層を、第2の方向D2に沿って並ぶ複数のコンタクト部1に跨るよう、第2の方向D2に平行なストライプ状に加工して、強誘電体層3r及び上部電極4rを形成する。

- 20 これによって、本実施の形態19の強誘電体メモリ装置119におけるメモリセル構成が形成される。

このように本実施の形態19では、下地電極層5sの縦横のサイズを強誘電体層3rの縦横のサイズよりも小さくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構成を実現することができる。

- 25 また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

また、本実施の形態 19 では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

(実施の形態 20)

第 20 (a) 図は、本発明の実施の形態 20 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 20 (b) 図及び第 20 (c) 図は、それぞれ第 20 (a) 図の XX a - XX a 線断面図及び第 20 (a) 図の XX b - XX b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 20 の強誘電体メモリ装置 120 は、実施の形態 18 の強誘電体メモリ装置 118 における強誘電体層の平面パターンを、強誘電体メモリ装置 118 における上部電極 4 r の平面パターンと同じパターンとしたものである。また、この実施の形態 20 では、強誘電体層と上部電極とは同時にパターン加工して得られたものである。

具体的には、本実施の形態 20 のメモリセルキャパシタ 120 は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 n、下部電極 2 n 上の溝部内及びその周辺部上に形成された下地電極層 5 r と、該下地電極層 5 r 上に形成された強誘電体層 3 t と、該強誘電体層 3 t 上に形成された上部電極 4 t とから構成されている。ここで、下部電極 2 n の横方向 D 1 の寸法は、下地電極層 5 r の横方向 D 1 の寸法より小さく、下部電極 2 n の縦方向 D 2 の寸法は、下地電極層 5 r の縦方向 D 2 の寸法と一致している。下部電極 2 n の横方向 D 1 の寸法は、強誘電体層 3 t の横方向 D 1 の寸法より小さい。

なお、図中、120 b は、各メモリセルキャパシタ 120 a における、第 1 の方向 D 1 に沿った溝部である。

次に、メモリセルキャパシタ 120 a の下部電極 2 n、下地電極層 5 r、強誘電体層 3 t、及び上部電極 4 r を加工する方法について簡単に説明する。

この実施の形態 20 では、メモリセルトランジスタの形成、絶縁膜の形成、コ

ンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極 2 n を形成する。

- 5 この上に層間絶縁膜を形成し、層間絶縁膜に縦方向 D 1 に沿って下部電極まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を、各メモリセルの下地電極 5 r となるよう加工する。

- さらに、強誘電体層及び上部電極層を形成し、該強誘電体層及び上部電極層を、第 1 の方向 D 1 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 1 の方向 D 1
10 に平行なストライプ状に加工して、強誘電体層 3 r 及び上部電極 4 r を形成する。

これによって、本実施の形態 2 0 の強誘電体メモリ装置 1 2 0 におけるメモリセル構成が形成される。

- このように本実施の形態 2 0 では、実施の形態 1 8 における強誘電体層及び上部電極層を同時にパターン加工して、キャパシタ強誘電体膜 3 t 及び上部電極 4
15 r を形成するため、上部電極と下部電極との間での電流リークが発生しにくく、メモリセル構成を実現する加工が行ないやすく、さらにキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを、少ない工程数でもって得られるという効果がある。

(実施の形態 2 1)

- 20 第 2 1 (a) 図は、本発明の実施の形態 2 1 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 2 1 (b) 図及び第 2 1 (c) 図は、それぞれ第 2 1 (a) 図の XXI a - XXI a 線断面図及び第 2 1 (a) 図の XXI b - XXI b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

- 25 本実施の形態 2 1 の強誘電体メモリ装置 1 2 1 は、実施の形態 1 8 における強誘電体メモリ装置 1 1 8 の強誘電体層 3 r を、メモリセルアレイの全面に広がる構造としたものである。また、この実施の形態 2 1 のメモリセルキャパシタの加工工程は、実施の形態 1 8 のように強誘電体層を形成した後に、該強誘電体層をパターン加工するのではなく、強誘電体層と上部電極を形成した後に上部電極の

みをパターン加工するものである。

具体的には、本実施の形態 2 1 のメモリセルキャパシタ 1 2 1 は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2、該下部電極 2 上の溝部内及びその周辺部上に形成された下地電極層 5 r と、該下地電極層 5 r 上に形成された強誘電体層 3 q と、該強誘電体層 3 q 上に形成された上部電極 4 r とから構成されている。ここで、下部電極 2 の横方向 D 1 及び縦方向 D 2 の寸法は、下地電極層 5 r の横方向 D 1 及び縦方向 D 2 の寸法と一致している。下部電極 2 の横方向 D 1 の寸法は、上部電極 4 r の横方向 D 1 の寸法と一致している。

なお、図中、1 2 1 b は、各メモリセルキャパシタ 1 2 1 a における、第 1 の方向 D 1 に沿った溝部である。

次に、メモリセルキャパシタ 1 2 1 a の下部電極 2、下地電極層 5 r、強誘電体層 3 q、及び上部電極 4 r を加工する方法について簡単に説明する。

この実施の形態 2 1 では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状に加工して、下部電極 2 を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向 D 1 に沿って下部電極まで到達するように溝部を形成し、その上に立体構造用の下地電極層を形成する。その後、該下地電極層を、各メモリセルの下地電極層 5 r となるよう加工する。

さらに、強誘電体層 3 q 及び上部電極層を形成し、該上部電極層のみ、第 1 の方向 D 1 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 1 の方向 D 1 に平行なストライプ状に加工して、上部電極 4 r を形成する。

これによって、本実施の形態 2 1 の強誘電体メモリ装置 1 2 1 におけるメモリセル構成が形成される。

このように本実施の形態 2 1 では、メモリセルアレイ上の全面に強誘電体層を残すので、上部電極と下部電極のリークがより発生しにくいメモリセル構造を実現することができる。

（実施の形態 2 2）

第 2 2 (a) 図は、本発明の実施の形態 2 2 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 2 2 (b) 図及び第 2 2 (c) 図は、それぞれ第 2 2 (a) 図の XXII a - XXII a 線断面図及び第 2 2 (a) 図の XXII b - XXII b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 2 2 の強誘電体メモリ装置 1 2 2 は、実施の形態 1 3 の強誘電体メモリ装置 1 1 3 における下地電極層 5 に代わる側面電極層 5 v を備えたものである。

つまり、実施の形態 1 3 では、下部電極 2 上の層間絶縁膜に形成された溝部内面及びその周辺部にキャパシタ下地電極層 5 を形成しているのに対し、この実施の形態 2 2 では、下部電極 2 上の層間絶縁膜に形成された溝部側面にのみ下地電極層を形成している。なお、上記溝部の底部にも下地電極層を形成することは可能であるが、本実施の形態では溝部の側面のみに下地電極層を形成している。

具体的には、本実施の形態 2 2 のメモリセルキャパシタ 1 2 2 は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2、複数の下部電極 2 にまたがる溝部の側壁に形成された下地電極層 5 v と、溝部内及びその周辺に下地電極層 5 v を覆うよう形成された強誘電体層 3 m と、該強誘電体層 3 m 上に形成された上部電極 4 m とから構成されている。ここで、下部電極 2 の横方向 D 1 及び縦方向 D 2 の寸法は、強誘電体層 3 m の横方向 D 1 及び縦方向 D 2 の寸法と一致している。下部電極 2 の横方向 D 1 の寸法は、上部電極 4 r の横方向 D 1 の寸法と一致している。

なお、図中、1 2 2 b は、各メモリセルキャパシタ 1 2 2 a における、第 2 の方向 D 2 に沿った溝部である。

次に、メモリセルキャパシタ 1 2 2 a の下部電極 2、下地電極層 5 v、強誘電体層 3 m、及び上部電極 4 m を加工する方法について簡単に説明する。

この実施の形態 2 2 では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部 1 の形成は、実施の形態 1 3 と同様に行われる。

そして、コンタクト部 1 を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下

部電極 2 を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向D 2 に沿って下部電極まで到達するように溝部を構成し、該溝部の、縦方向D 2 に沿った側面上に下地電極層を形成する。

- 5 さらに、全面に強誘電体層を形成し、該強誘電体層を第 1 の方向D 1 に沿って並ぶ複数のコンタクト部 1 に跨るよう、第 1 の方向D 1 に平行なストライプ状に加工する。この際、該下地電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層 5 v を形成する。そして、全面に上部電極層を形成し、該上部電極層を、第 2 の方向D 2 に沿って並ぶ複数のコンタクト部 1 に跨るよう、
10 第 2 の方向D 2 に平行なストライプ状に加工する。さらに、第 1 の方向D 1 に平行なストライプ状の強誘電体層を、上部電極 4 m の平面パターンに従って加工する。

これによって、本実施の形態 2 2 の強誘電体メモリ装置 1 2 2 におけるメモリセル構成が形成される。

- 15 このように本実施の形態 2 2 では、下部電極 2 の加工に横方向D 1 のストライプ状のマスクを用い、上部電極 4 m の加工に縦方向D 2 のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保することが可能である。

- また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来の
20 ホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ容量を大きくできるメモリセル構造を実現できる。

- また、側面電極層 5 v を溝部の側面のみに形成しているため、上部電極層をパ
25 ターン加工するときに、上部電極と接触し電流リークを発生させる部分を少なくできるという効果がある。

(実施の形態 2 3)

第 2 3 (a) 図は、本発明の実施の形態 2 3 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示し

ている。第23(b)図及び第23(c)図は、それぞれ第23(a)図のXXIII a-XXIII a線断面図及び第23(a)図のXXIII b-XXIII b線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態23の強誘電体メモリ装置123は、実施の形態22の強誘電体メモリ装置122における強誘電体層3mに代わる、メモリセルアレイ全面に広がる強誘電体層3qを備えたものである。

具体的には、本実施の形態23のメモリセルキャパシタ123は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極2、第2の方向D2に沿って並ぶ複数の下部電極2にまたがる溝部の側壁に形成された側面電極層5vと、メモリセルアレイ全面に広がるよう形成された強誘電体層3qと、該強誘電体層3q上に形成された上部電極4mとから構成されている。ここで、下部電極2の横方向D1の寸法は、上部電極4mの横方向D1の寸法と一致している。

なお、図中、123bは、各メモリセルキャパシタ123aにおける、第2の方向D2に沿った溝部である。

次に、メモリセルキャパシタ123aの下部電極2、側面電極層5v、強誘電体層3q、及び上部電極4mを加工する方法について簡単に説明する。

この実施の形態23では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部1の形成は、実施の形態13と同様に行われる。

そして、コンタクト部1を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極2を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向D2に沿って下部電極まで到達するように溝部を構成し、該溝部の、縦方向D2に沿った側面にサイドウォールとしての電極層を形成する。該電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層5vを形成する。

その後全面の強誘電体層3q及び上部電極層を形成し、該上部電極層のみを、第1の方向D2に沿って並ぶ複数のコンタクト部1に跨るよう、第1の方向D1に平行なストライプ状に加工して、上部電極4mを形成する。

これによって、本実施の形態23の強誘電体メモリ装置123におけるメモリ

セル構成が形成される。

このように本実施の形態 2 3 では、強誘電体膜を形成する前に、下地電極層を側面電極層になるようパターン加工し、その後強誘電体層及び上部電極層を形成し、上部電極層のみをパターン加工するので、実施の形態 2 2 で強誘電体膜を形成した後に下地電極層を側面電極層になるようパターン加工するものと比べて、上部電極層 4 と側面電極層 5 v の接触部が全くないメモリセル構造を実現することができる。

また、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

なお、上記実施の形態 2 3 では、メモリセルは、メモリセル上の強誘電体層を全て残した構造であるが、メモリセルは、強誘電体層を上部電極層と同じパターンで同時に加工した構造としても、上部電極層 4 と側面電極層 5 v の接触部が全くないメモリセル構造を実現することができる。

15 (実施の形態 2 4)

第 2 4 (a) 図は、本発明の実施の形態 2 4 による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第 2 4 (b) 図及び第 2 4 (c) 図は、それぞれ第 2 4 (a) 図の XXIV a - XXIV a 線断面図及び第 2 4 (a) 図の XXIV b - XXIV b 線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態 2 4 の強誘電体メモリ装置 1 2 4 は、実施の形態 2 2 の強誘電体メモリ装置 1 2 2 における第 2 の方向 D 2 に沿った溝型の立体メモリセル構造を、第 1 の方向 D 1 に沿った溝型の立体メモリセル構造としたものである。

具体的には、本実施の形態 2 4 のメモリセルキャパシタ 1 2 4 a は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極 2 と、該下部電極 2 上の層間絶縁膜に形成された第 1 の方向 D 1 に沿った溝部の側壁に形成された側面電極層 5 x と、メモリセルアレイ全面に広がるよう形成された強誘電体層 3 q と、該強誘電体層 3 q 上に形成された上部電極 4 x とから構成されている。ここで、下部電極 2 の横方向 D 1 の寸法は、上部電極 4 x の横方向 D 1 の寸法と一

致している。

なお、図中、124bは、各メモリセルキャパシタ124aにおける、第1の方向D1に沿った溝部である。

次に、メモリセルキャパシタ124aの下部電極2、下地電極層5x、強誘電体層3q、及び上部電極4xを加工する方法について簡単に説明する。

この実施の形態24では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部1の形成は、実施の形態13と同様に行われる。

そして、コンタクト部1を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極2を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に横方向D1に沿って下部電極まで到達するように溝部を構成し、該溝部の、横方向D1に沿った側面にサイドウォールとしての下地電極層を形成する。該下地電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層5xを形成する。

その後、全面に強誘電体層3q及び上部電極層を形成し、該上部電極層のみを、縦方向D2に沿って並ぶ複数のコンタクト部1に跨るよう、縦方向D2に平行なストライプ状に加工して、上部電極4xを形成する。

これによって、本実施の形態24の強誘電体メモリ装置124におけるメモリセル構成が形成される。

このように本実施の形態24では、強誘電体膜を形成する前に、下地電極層を側面電極層となるようパターン加工し、その後、強誘電体層及び上部電極層を形成し、上部電極層をのみパターン加工して上部電極を形成するので、実施の形態22で強誘電体膜を形成した後に下地電極層を側面電極層になるようパターン加工するものと比べて、上部電極層4と側面電極層5xの接触部が全くないメモリセル構造を実現することができるものである。

また、本実施の形態24では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することが

できる。

5 なお、上記実施の形態 2 2 ～ 2 4 では、下部電極 2 上の層間絶縁膜に形成された溝部の側面にのみ下地電極層を側面電極層 5 v、5 x として形成しているが、この側面電極層を形成する際には、上記溝部の側面だけでなく、該溝部底面に露出した下部電極の表面上にも下地電極層を形成するようにしてもよい。この場合、側面電極層を形成する工程と同じ工程で、該側面電極層と同じ組成の電極層が、溝部内の下部電極の露出面上にも形成されることとなり、該溝部の底面及び側面の電極層上に形成される強誘電体膜の特性を均一にできるという効果がある。

10 また、本発明の実施の形態は上述した実施の形態 1 から実施の形態 2 4 のものに限らず、もちろんこれらの実施の形態のメモリセル構造を併用したメモリセル構造も構成可能であり、このようなメモリセル構造も本発明に含まれるものである。

15 また、上記実施の形態では、メモリセルキャパシタの構造として平面型構造や溝型立体型構造について説明しているが、ホール型立体構造や円筒型立体構造についても本構成を適用することが可能である。

産業上の利用可能性

本発明の強誘電体メモリ装置は、メモリセルサイズの縮小を可能とするものであり、特に強誘電体メモリ装置のキャパシタ構造において有用である。

請 求 の 範 囲

1. メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、
 - 5 前記各メモリセルキャパシタは、
前記メモリセルトランジスタを介してビット線に接続された下部電極と、
前記下部電極の上面に形成された、前記下部電極の幅方向をその幅方向とする強誘電体層と、
前記強誘電体層の上面に形成された、前記下部電極の幅方向をその幅方向とする上部電極とから構成され、
10 前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、
前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、
15 前記上部電極の幅は、前記強誘電体層の幅より細い、
ことを特徴とする強誘電体メモリ装置。
 2. 請求の範囲第1項記載の強誘電体メモリ装置において、
前記下部電極の幅は、前記強誘電体層の幅より細い、
ことを特徴とする強誘電体メモリ装置。
 - 20 3. 請求の範囲第2項記載の強誘電体メモリ装置において、
前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、
前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とがほぼ一致している、
ことを特徴とする強誘電体メモリ装置。
 - 25 4. 請求の範囲第2項記載の強誘電体メモリ装置において、
前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、
前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とが異なる、
ことを特徴とする強誘電体メモリ装置。

5. メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

5 前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、

10 前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、

前記上部電極の1つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一致しており、

前記上部電極の他のエッジが前記強誘電体層の内側に位置している、

ことを特徴とする強誘電体メモリ装置。

15 6. 請求の範囲第5項記載の強誘電体メモリ装置において、

前記下部電極の1つのエッジの位置が前記上部電極の1つのエッジの位置とほぼ一致している、

ことを特徴とする強誘電体メモリ装置。

20 7. メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

25 前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、

前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、

前記上部電極の1つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一

致しており、

前記上部電極の他のエッジが前記強誘電体層より内側に位置しており、

前記下部電極の 1 つのエッジが前記強誘電体層の内側に位置し、かつ下部電極の他のエッジの位置が前記強誘電体層のエッジの位置とほぼ一致している、

5 ことを特徴とする強誘電体メモリ装置。

8. 請求の範囲第 1 項記載の強誘電体メモリ装置において、

前記下部電極は、溝型構造を有する、

ことを特徴とする強誘電体メモリ装置。

9. 請求の範囲第 8 項記載の強誘電体メモリ装置において、

10 前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、

ことを特徴とする強誘電体メモリ装置。

10. 請求の範囲第 8 項記載の強誘電体メモリ装置において、

15 前記下部電極に形成された溝部の延伸する方向が、前記上部電極の延伸する方向と垂直な方向である、

ことを特徴とする強誘電体メモリ装置。

11. メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

20 前記メモリセルトランジスタを介してビット線に接続された下部電極と、
前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した、溝型構造を有する電極であり、

25 前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成している、

ことを特徴とする強誘電体メモリ装置。

12. 請求の範囲第 11 項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方

向と平行な方向である、

ことを特徴とする強誘電体メモリ装置。

1 3. 請求の範囲第 1 1 項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方

5 向と垂直な方向である、

ことを特徴とする強誘電体メモリ装置。

1 4. 請求の範囲第 1 1 項記載の強誘電体メモリ装置において、

前記溝型構造を有する下部電極は、

前記溝部の底面部を構成する平面状の第 1 の下部電極部と、

10 前記溝部の側面部および溝部開口周縁部を構成する第 2 の下部電極部と、から構成されている、

ことを特徴とする強誘電体メモリ装置。

1 5. 請求の範囲第 1 1 項記載の強誘電体メモリ装置において、

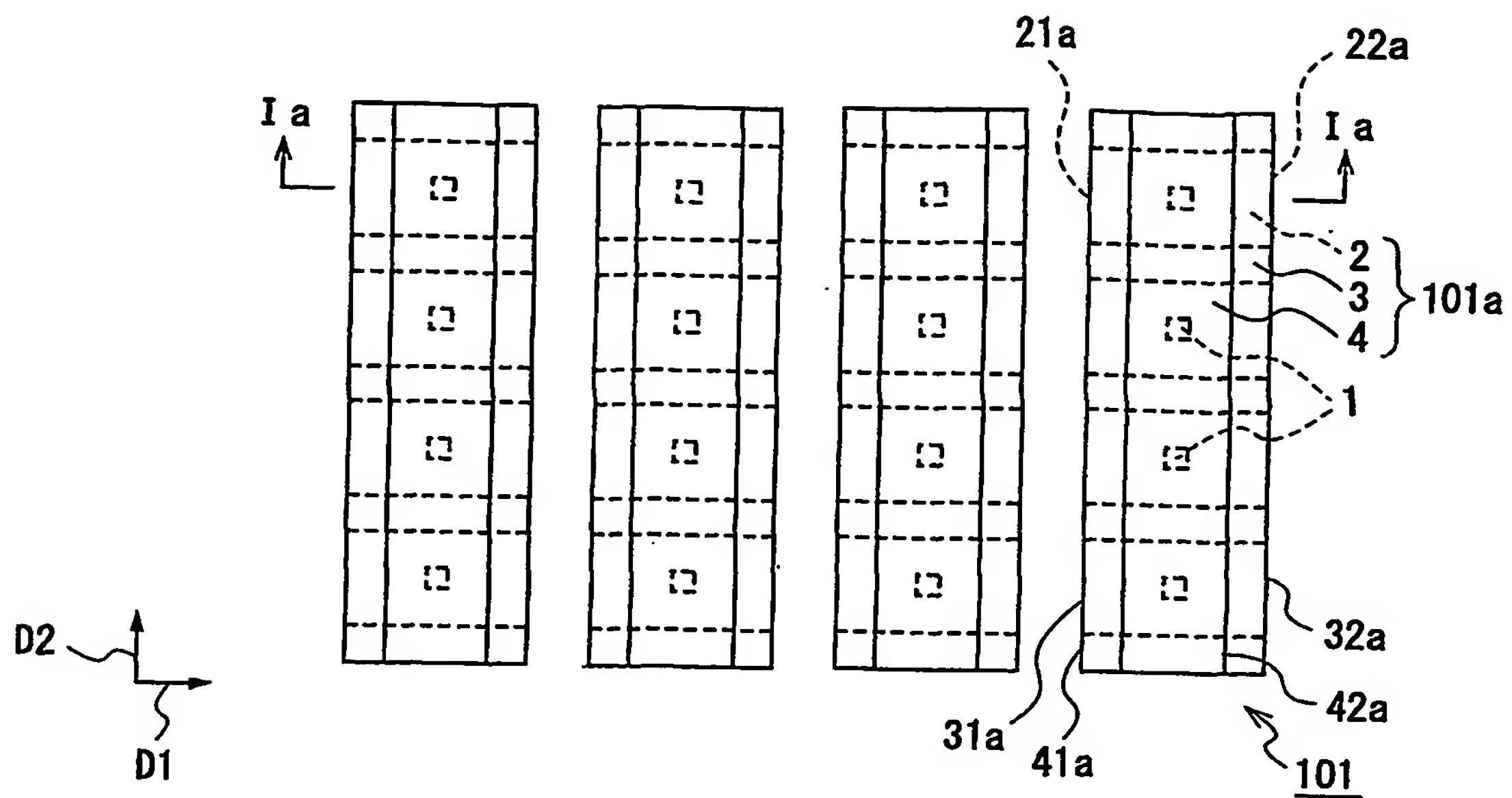
前記溝型構造を有する下部電極は、

15 前記溝部の底面部を構成する第 1 の下部電極部と、

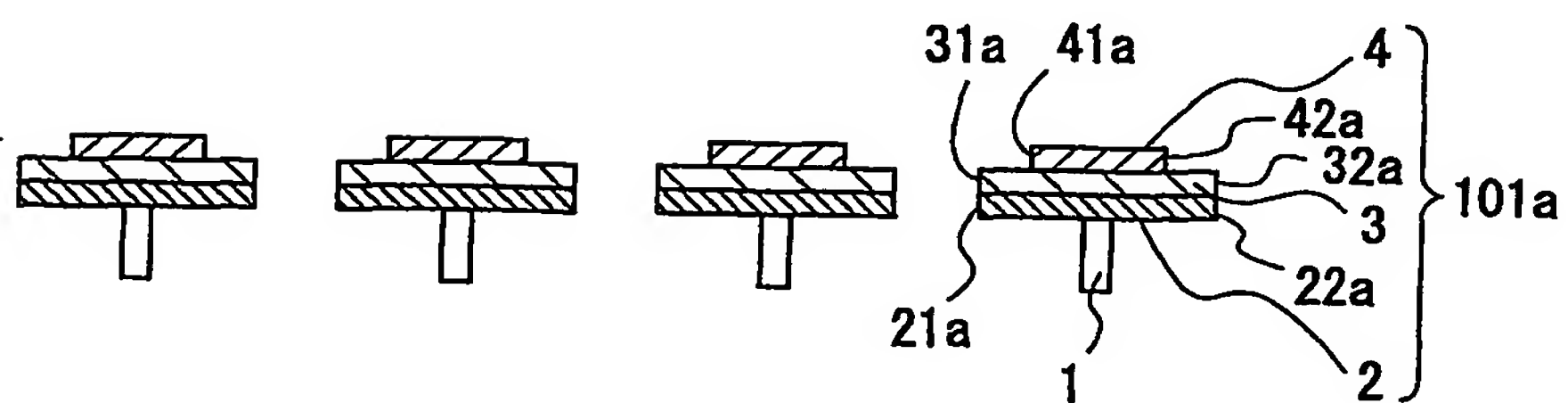
前記溝部の側面部のみを構成する第 2 の下部電極部と、から構成されている、

ことを特徴とする強誘電体メモリ装置。

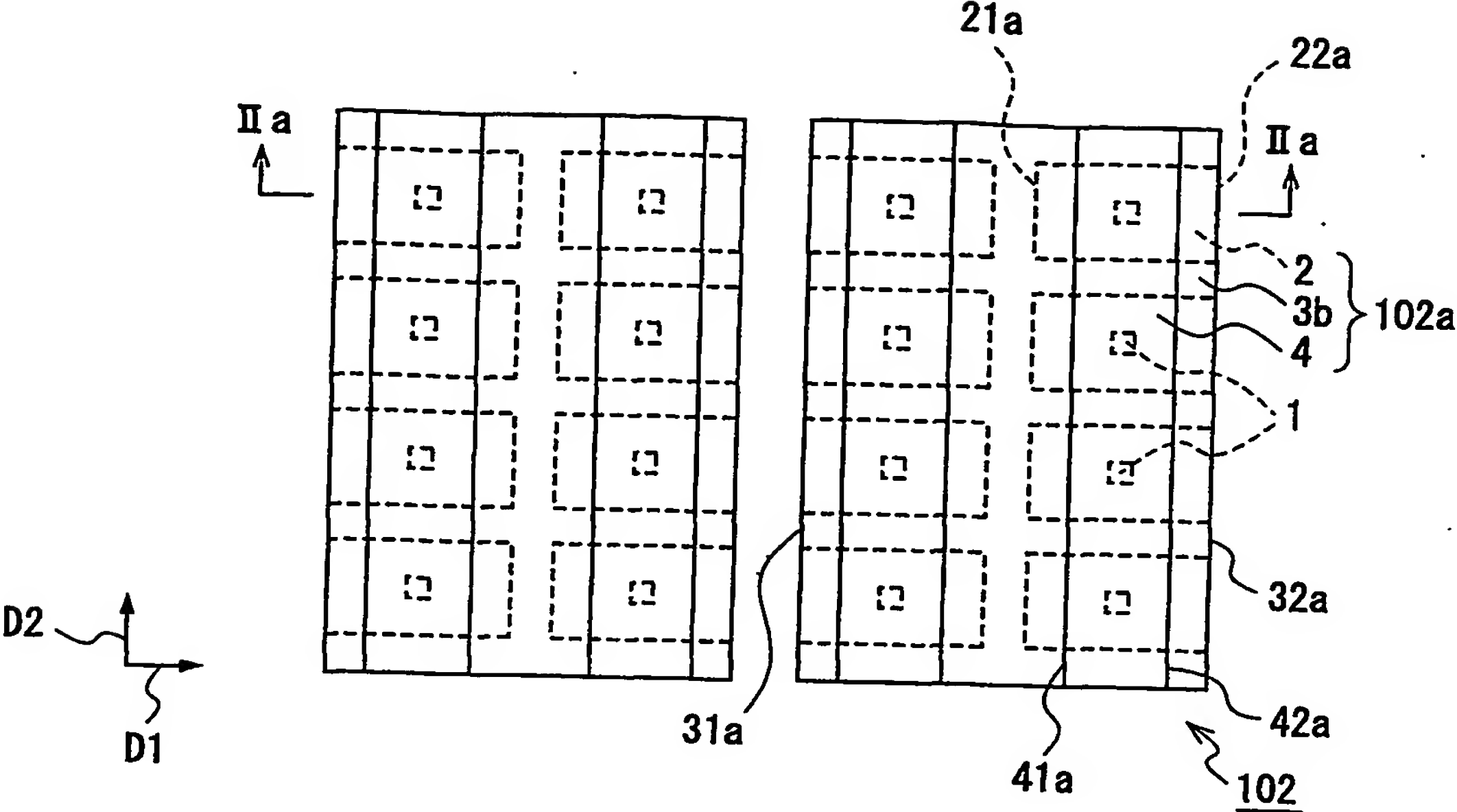
第1(a) 図



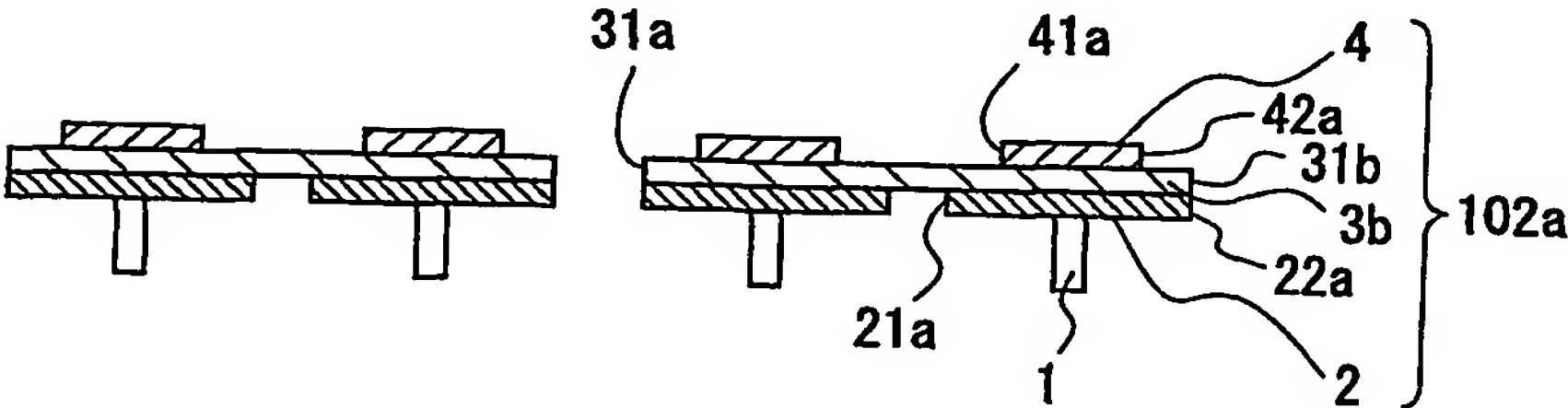
第1(b) 図



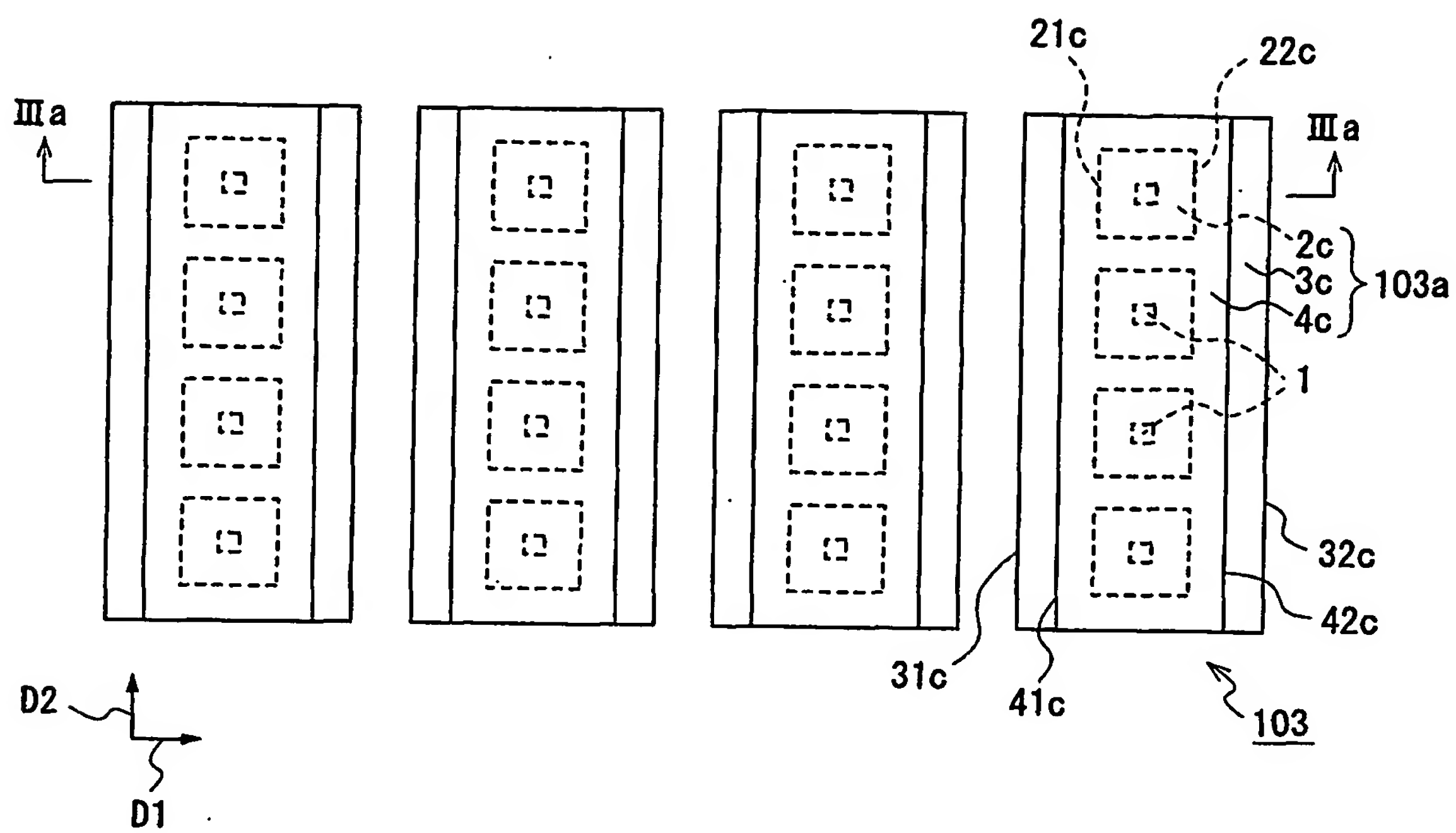
第2(a) 図



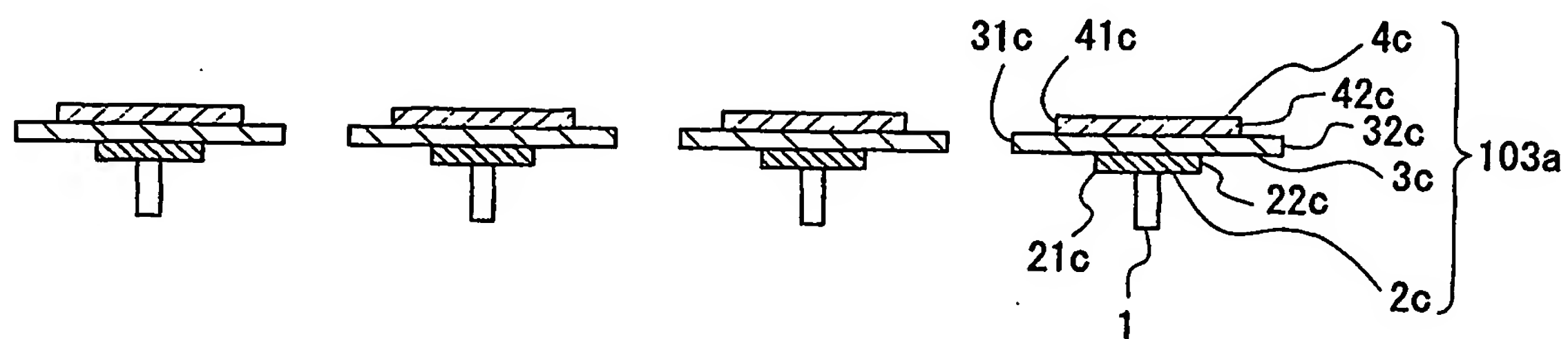
第2(b) 図



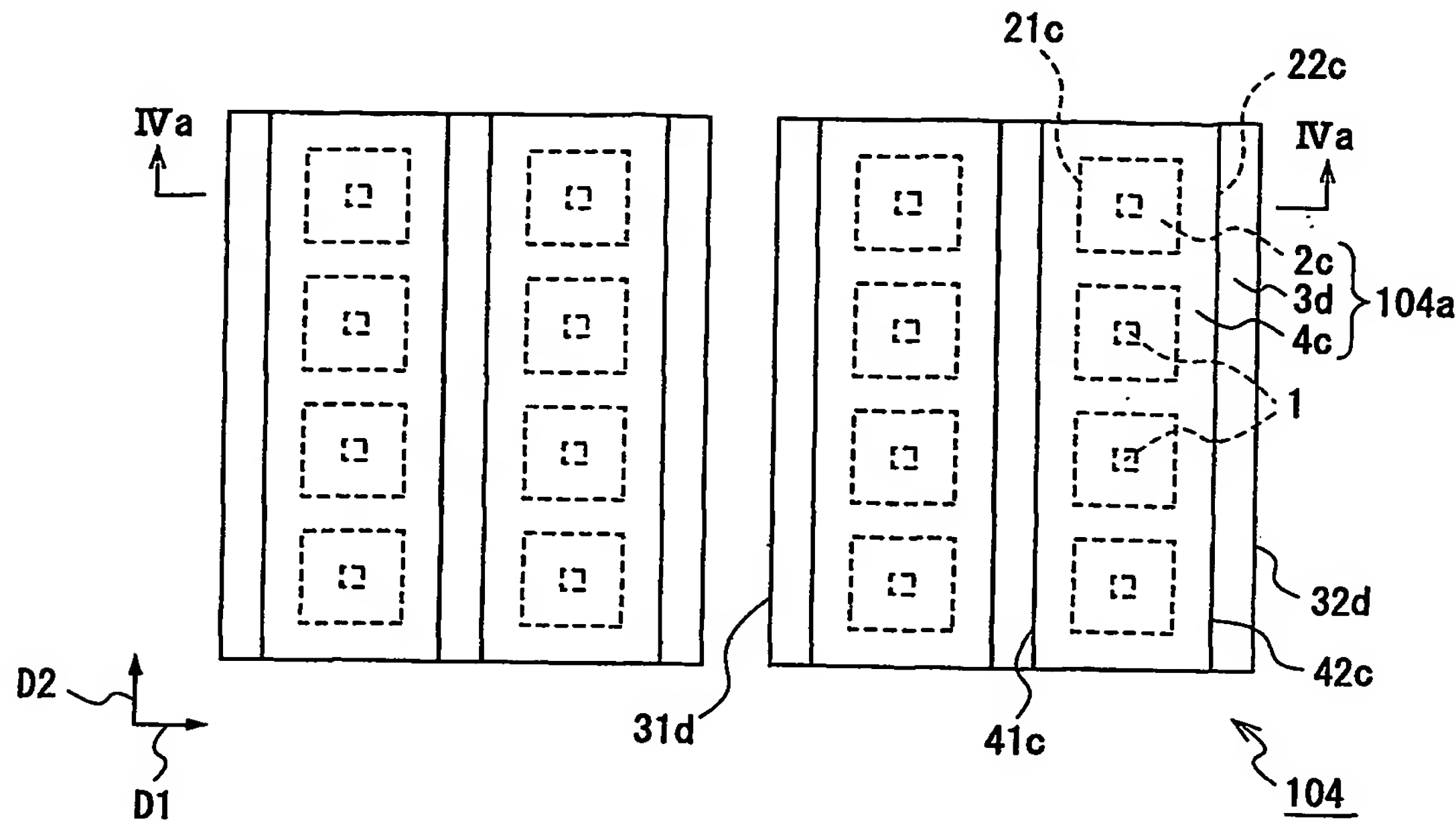
第3(a) 図



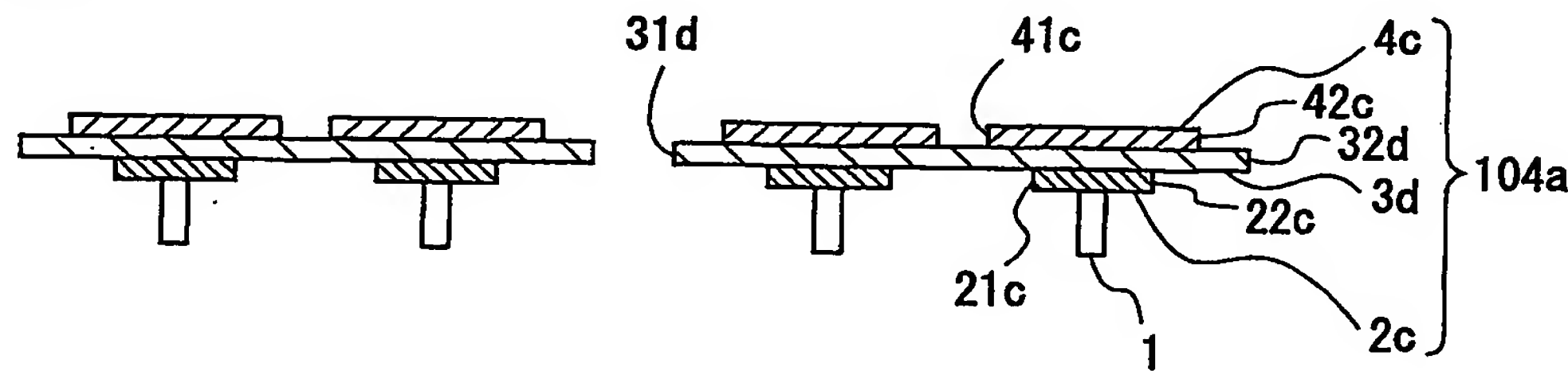
第3(b) 図



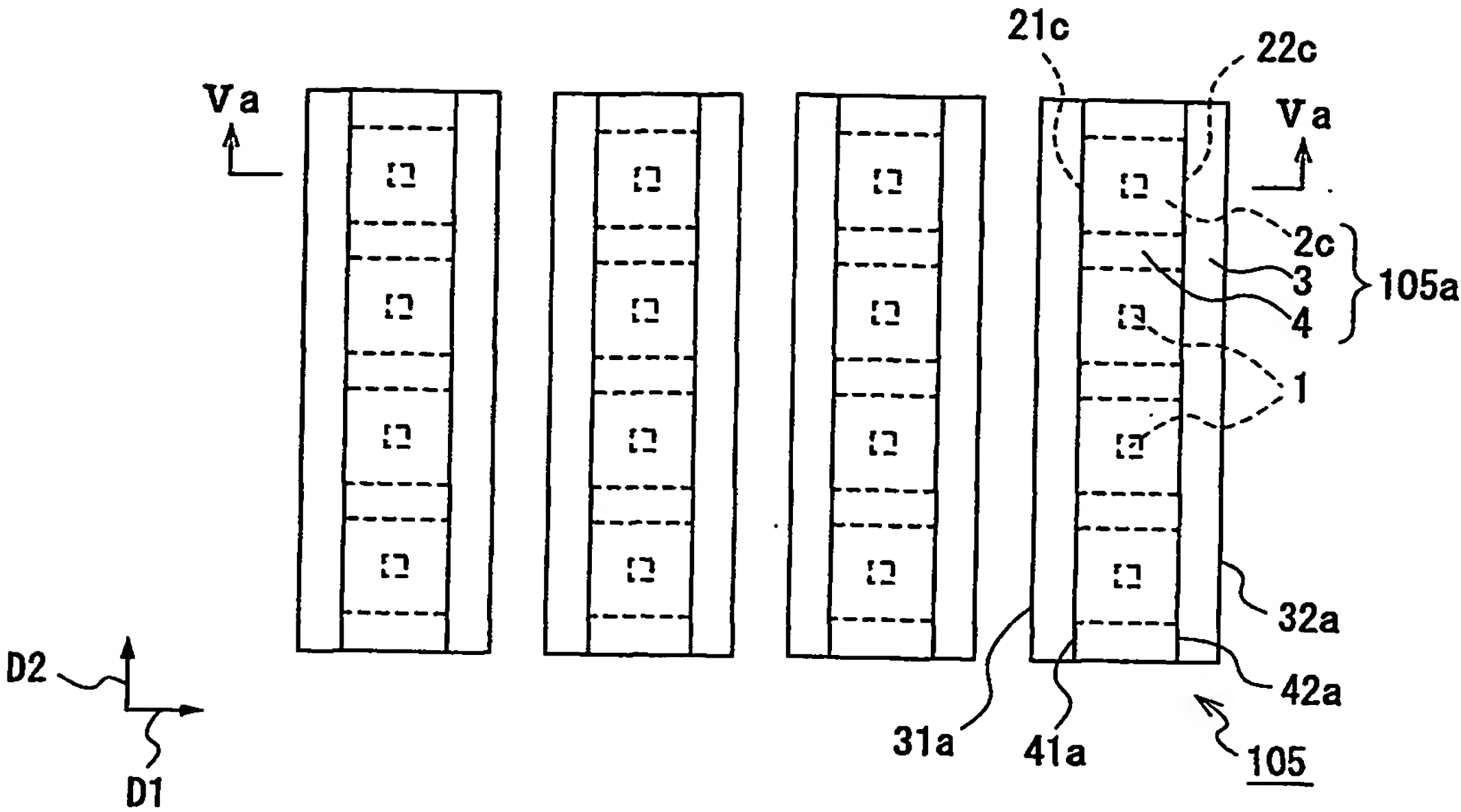
第4(a) 図



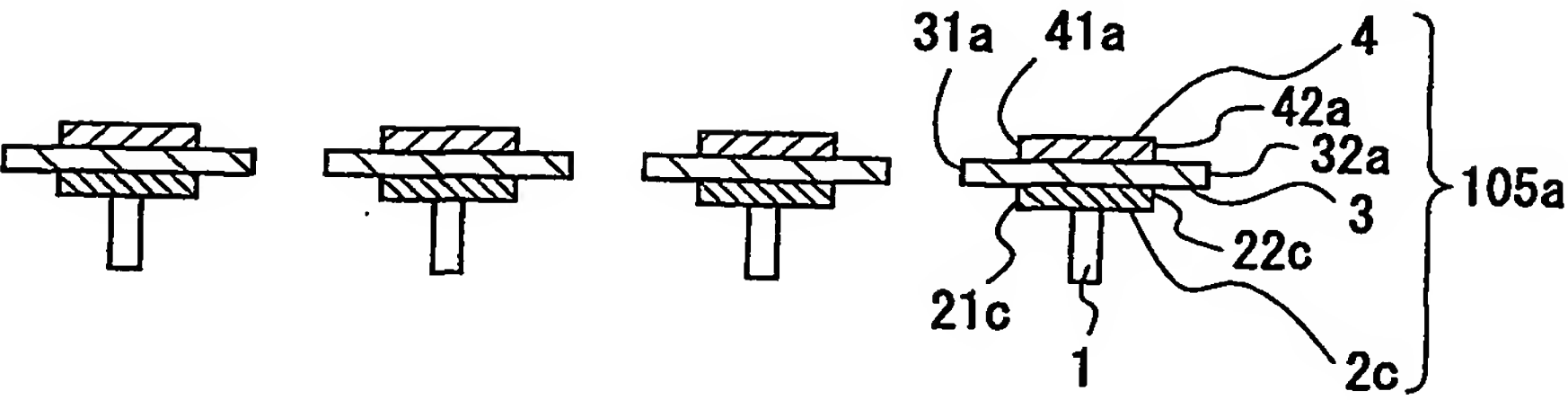
第4(b) 図



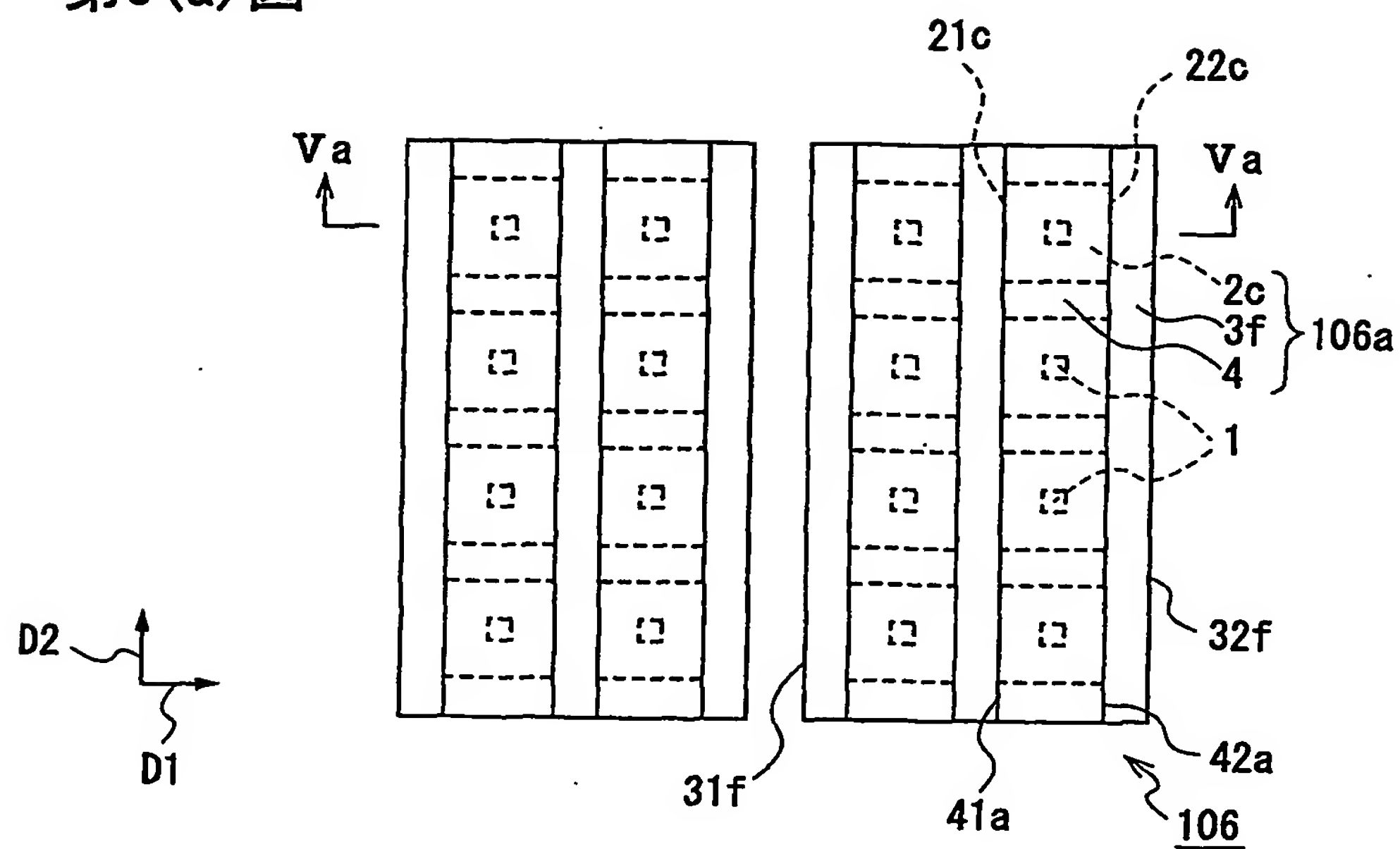
第5(a) 図



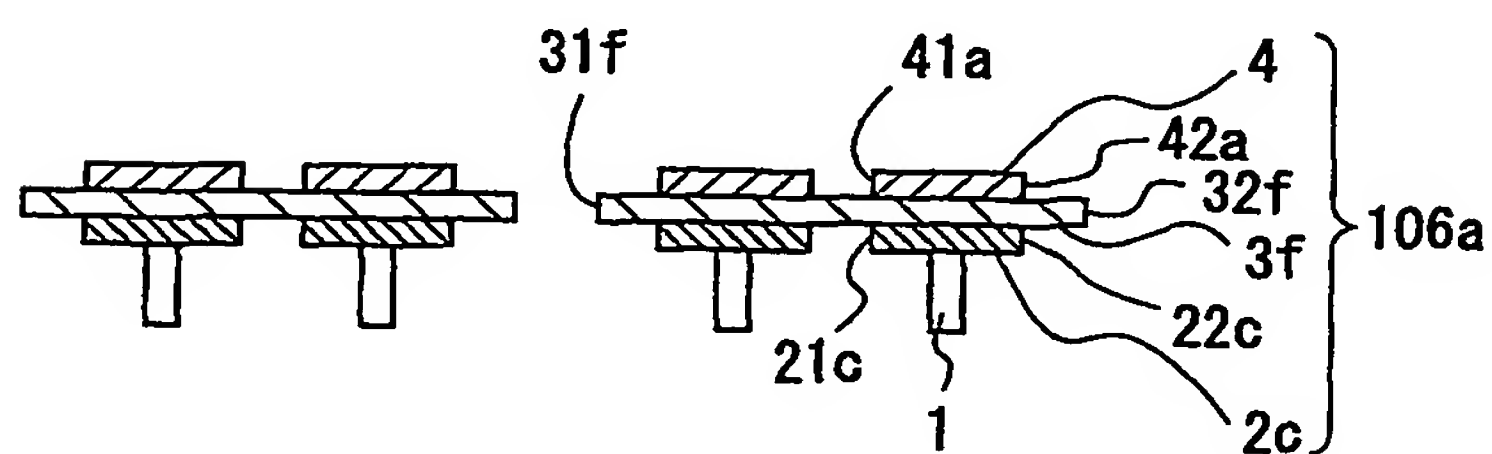
第5(b) 図



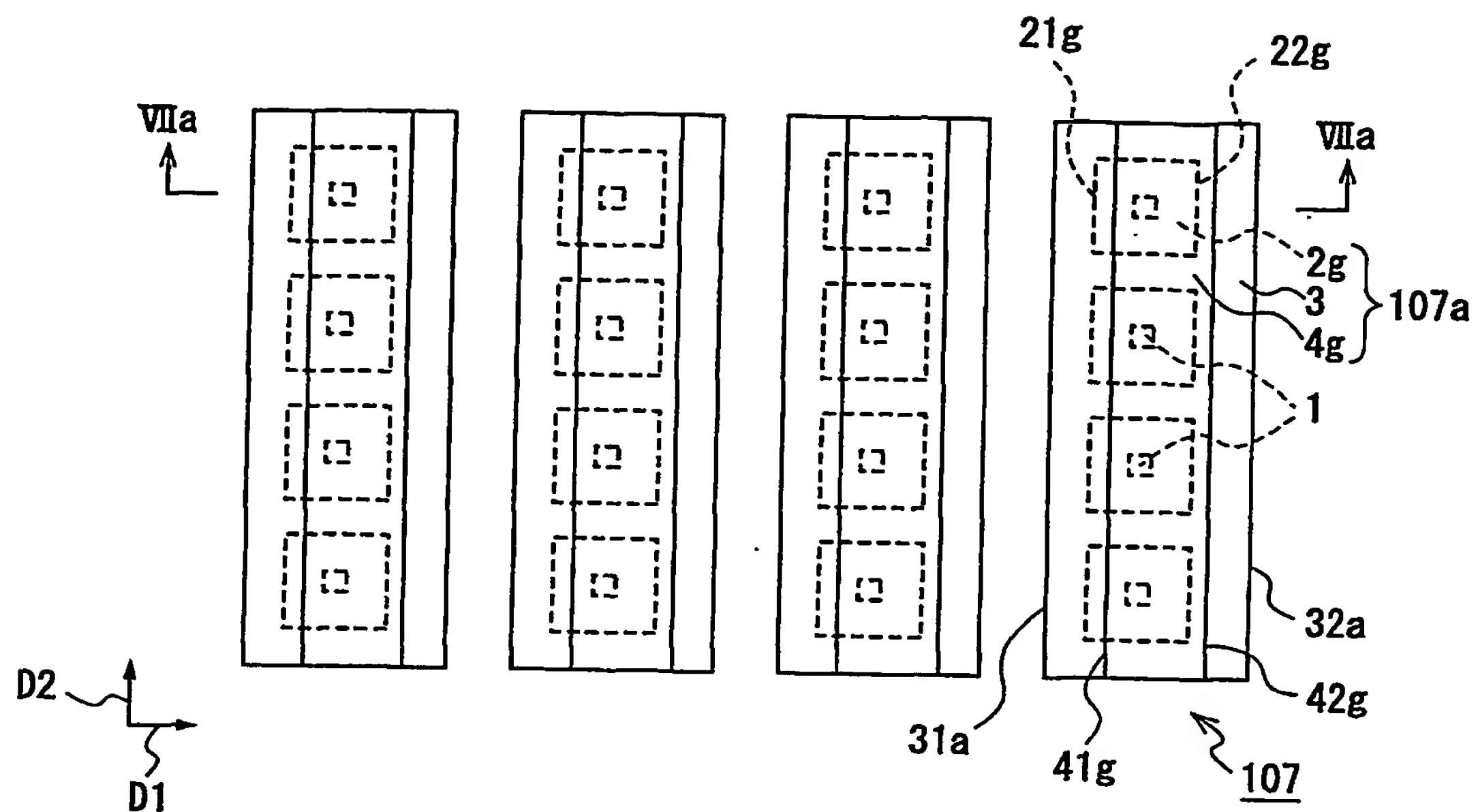
第6(a) 図



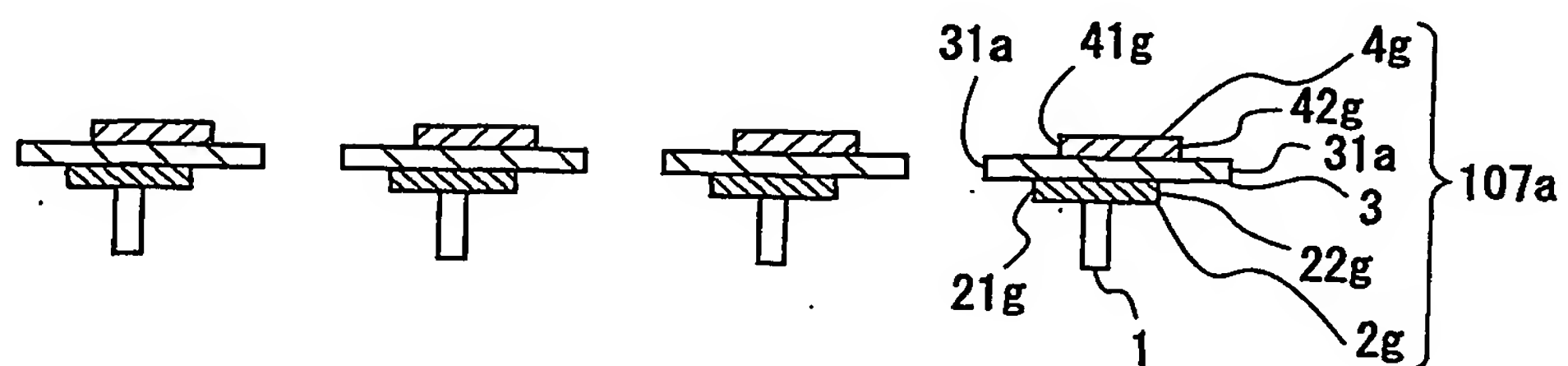
第6(b) 図



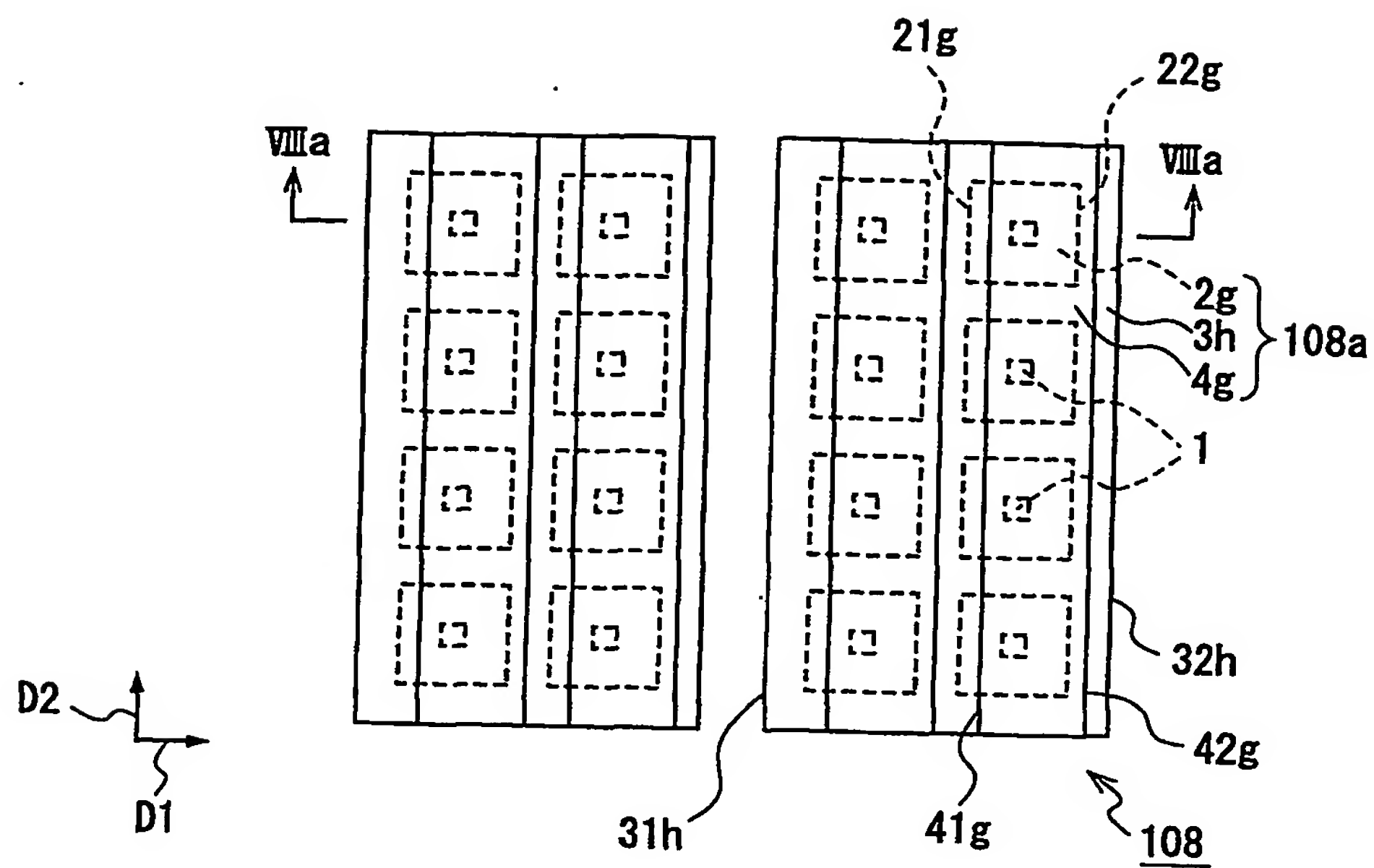
第7(a) 図



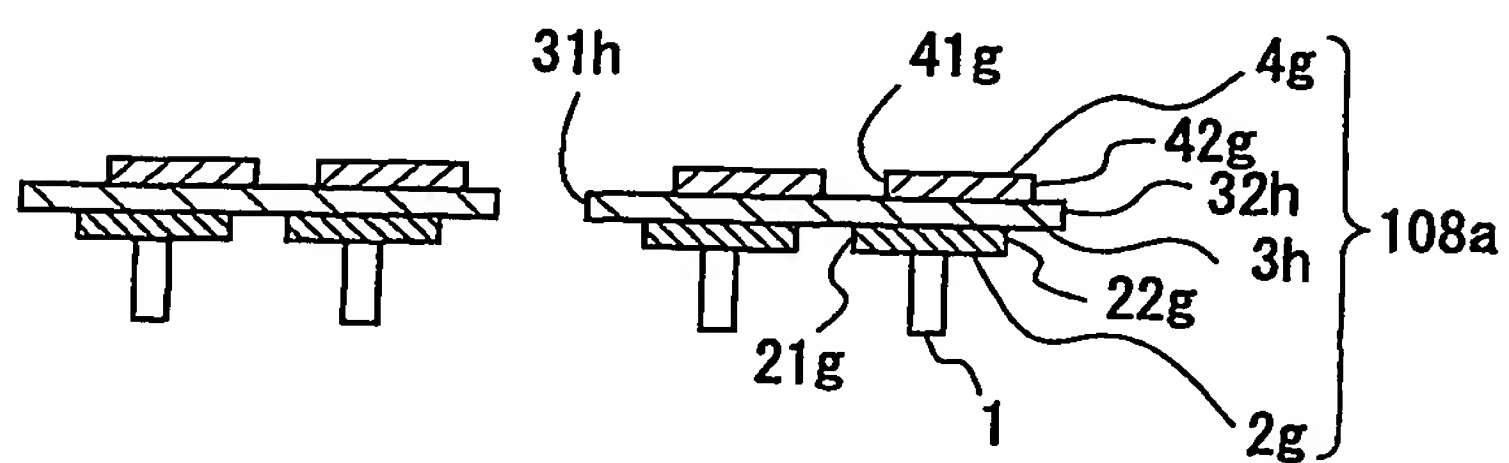
第7(b) 図



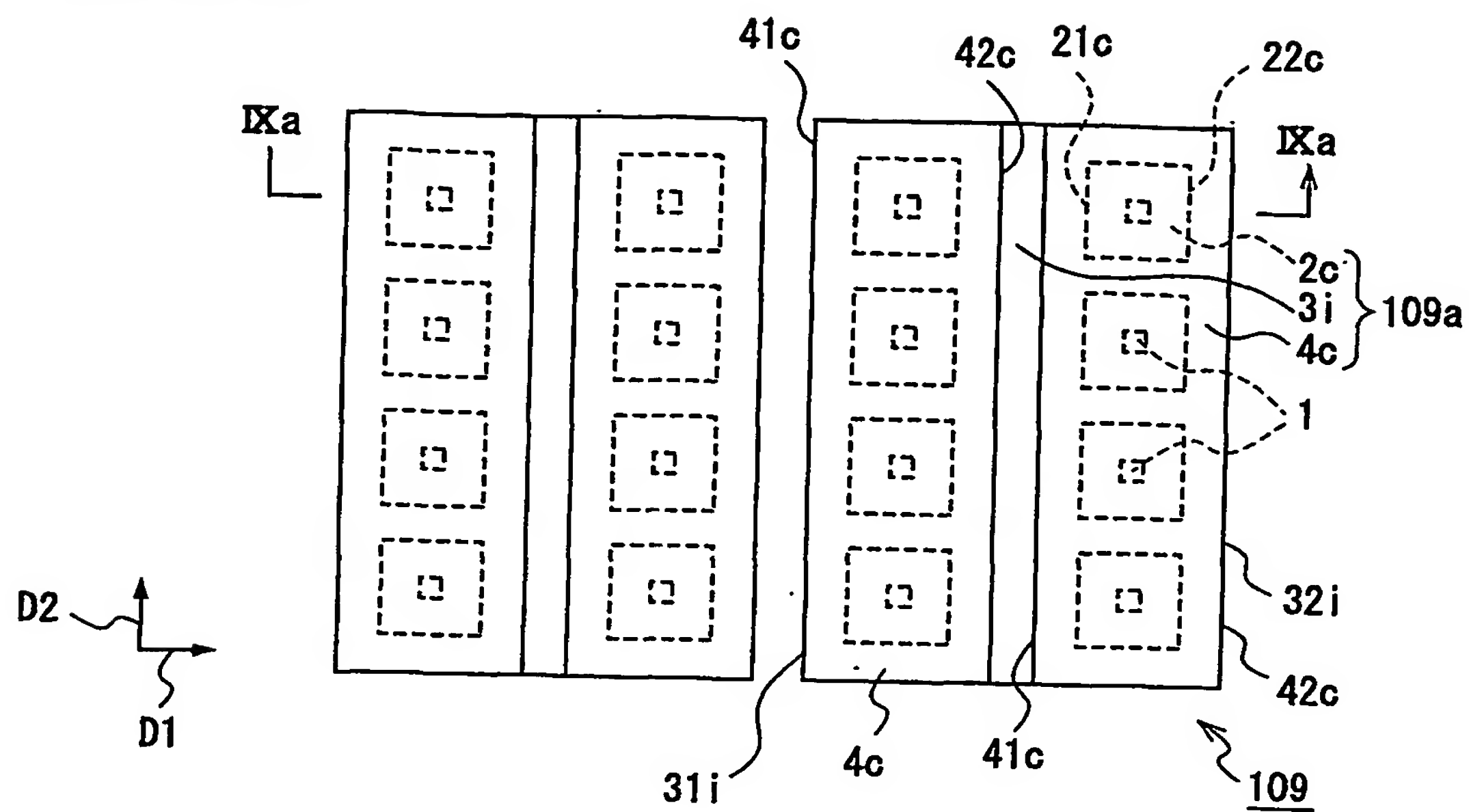
第8(a) 図



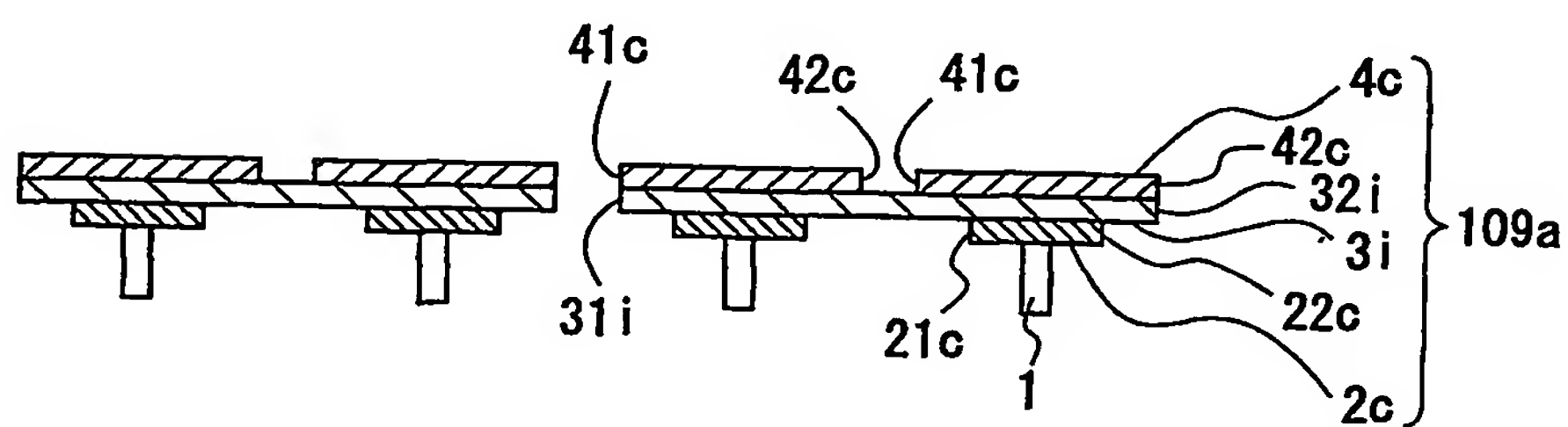
第8(b) 図



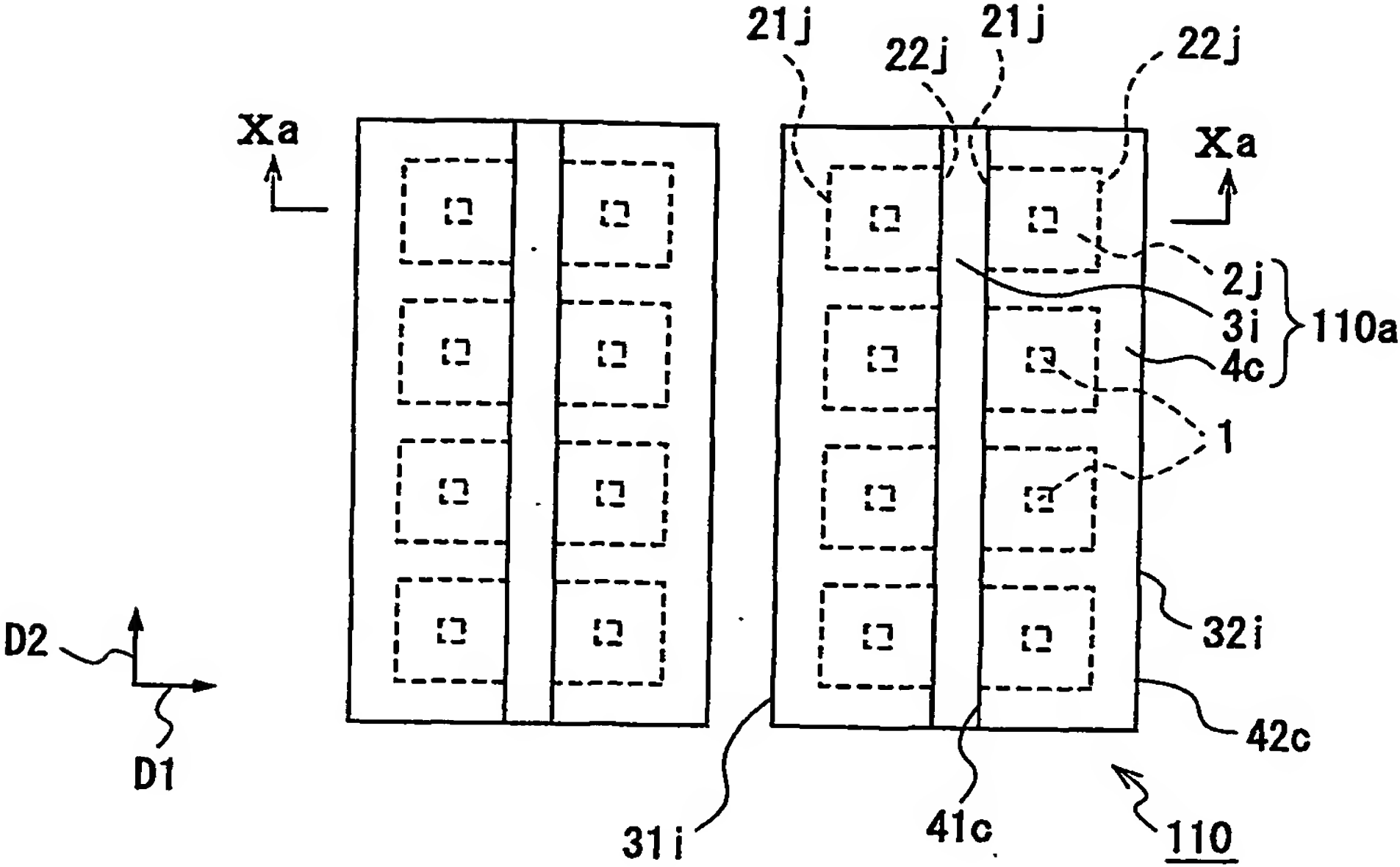
第9(a) 図



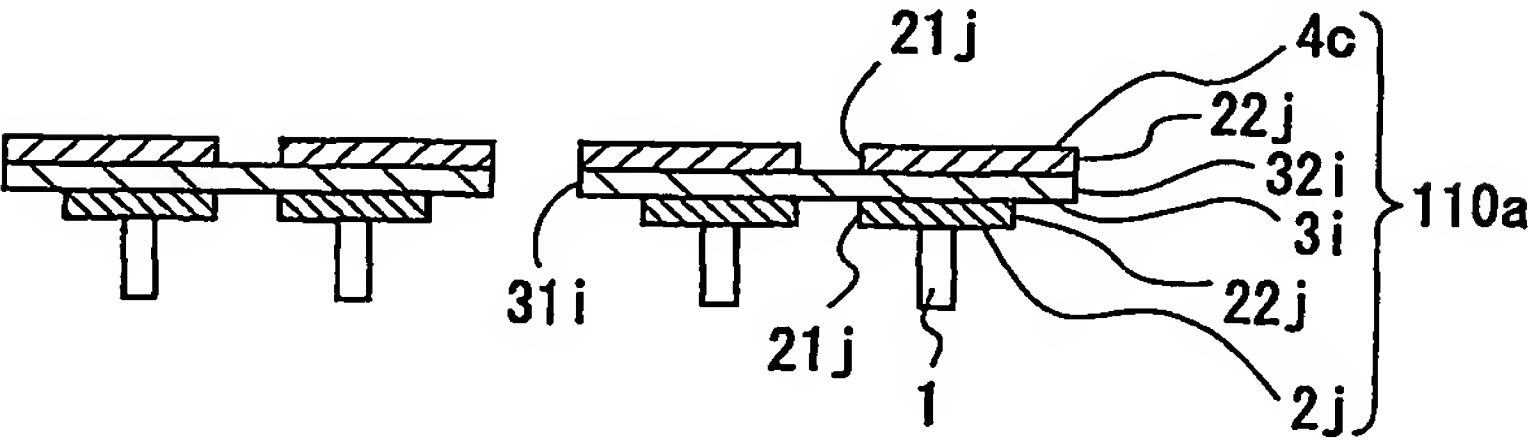
第9(b) 図



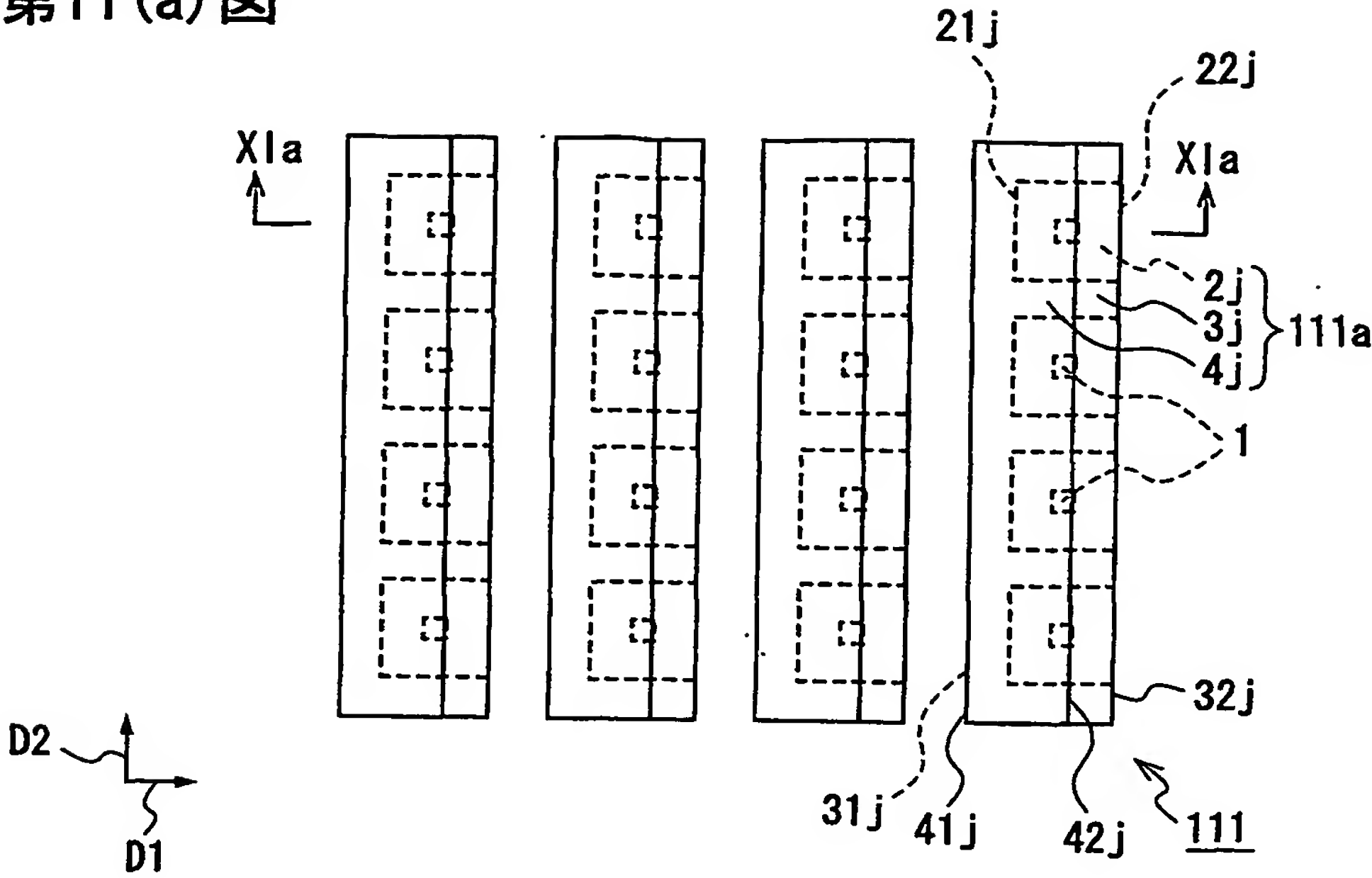
第10(a) 図



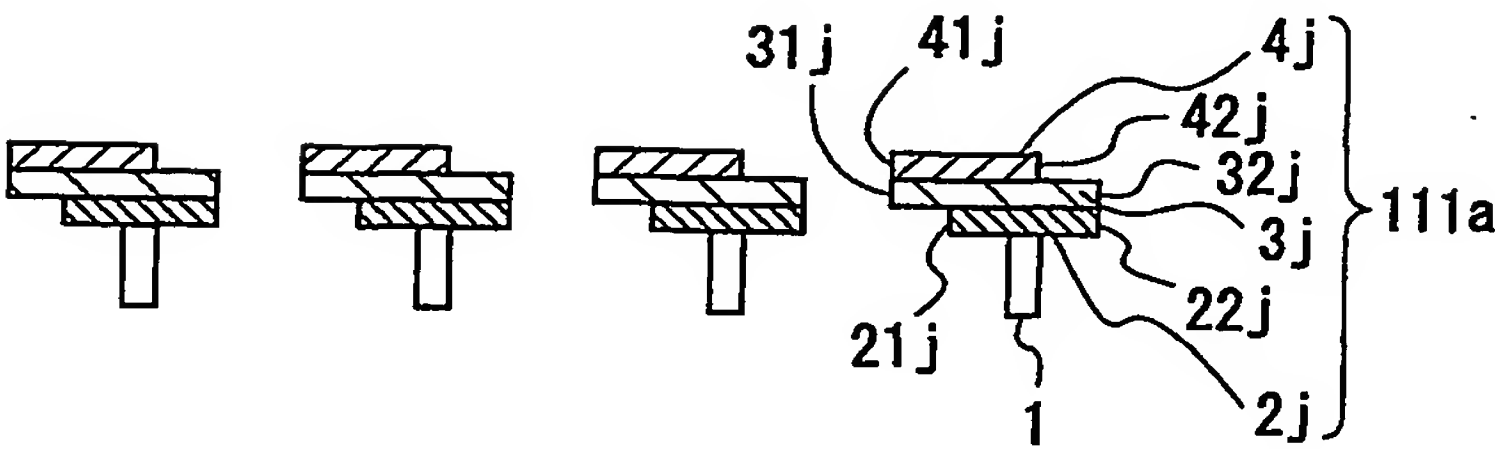
第10(b) 図



第11(a) 図

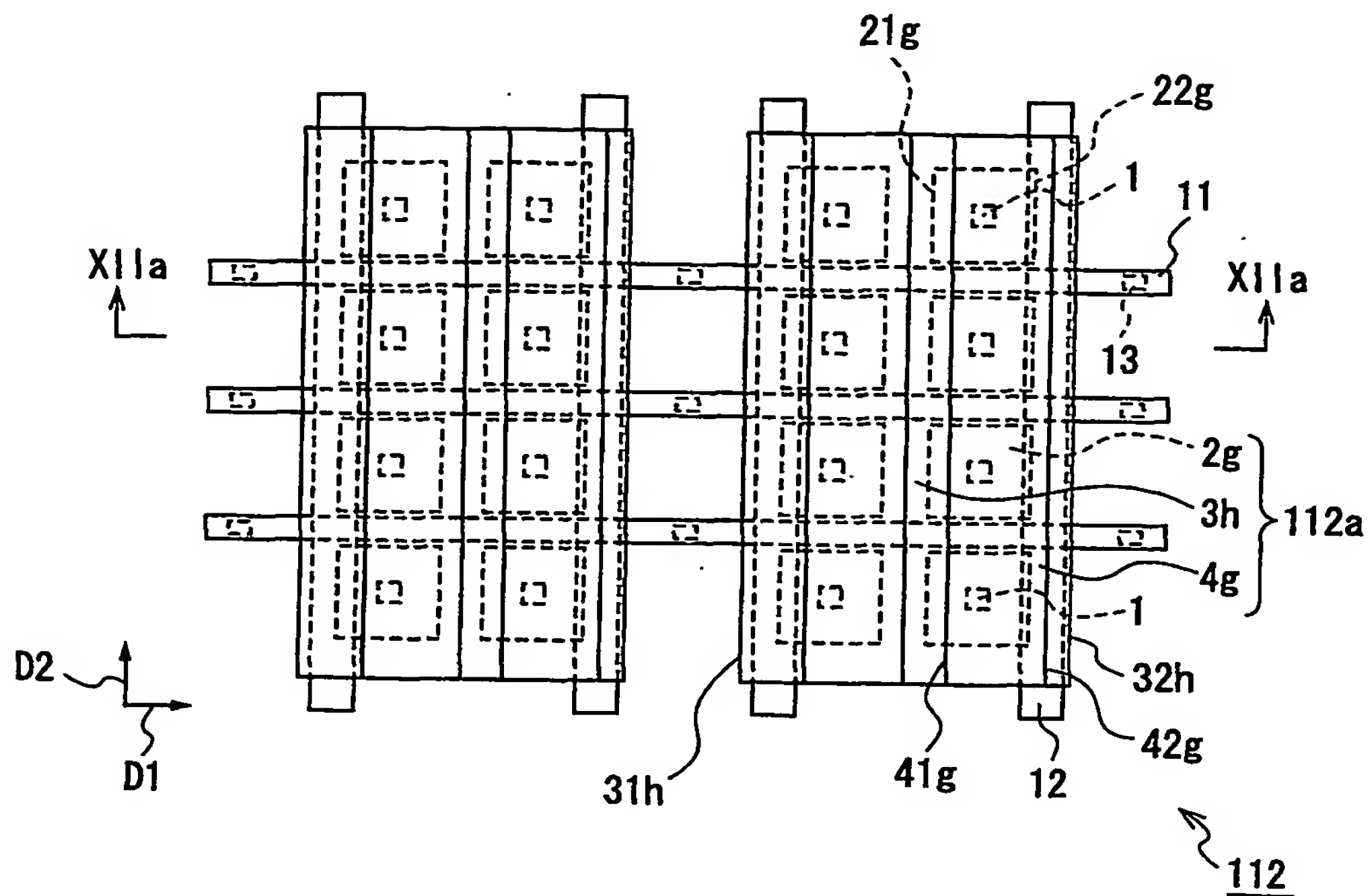


第11(b) 図

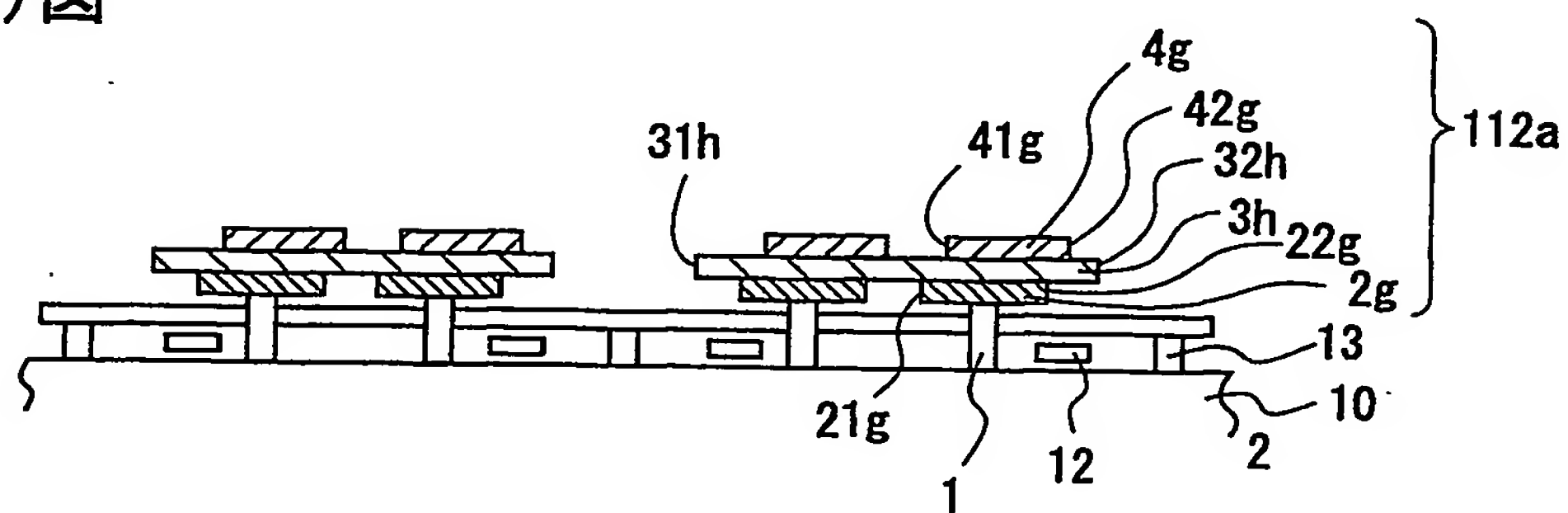


12/26

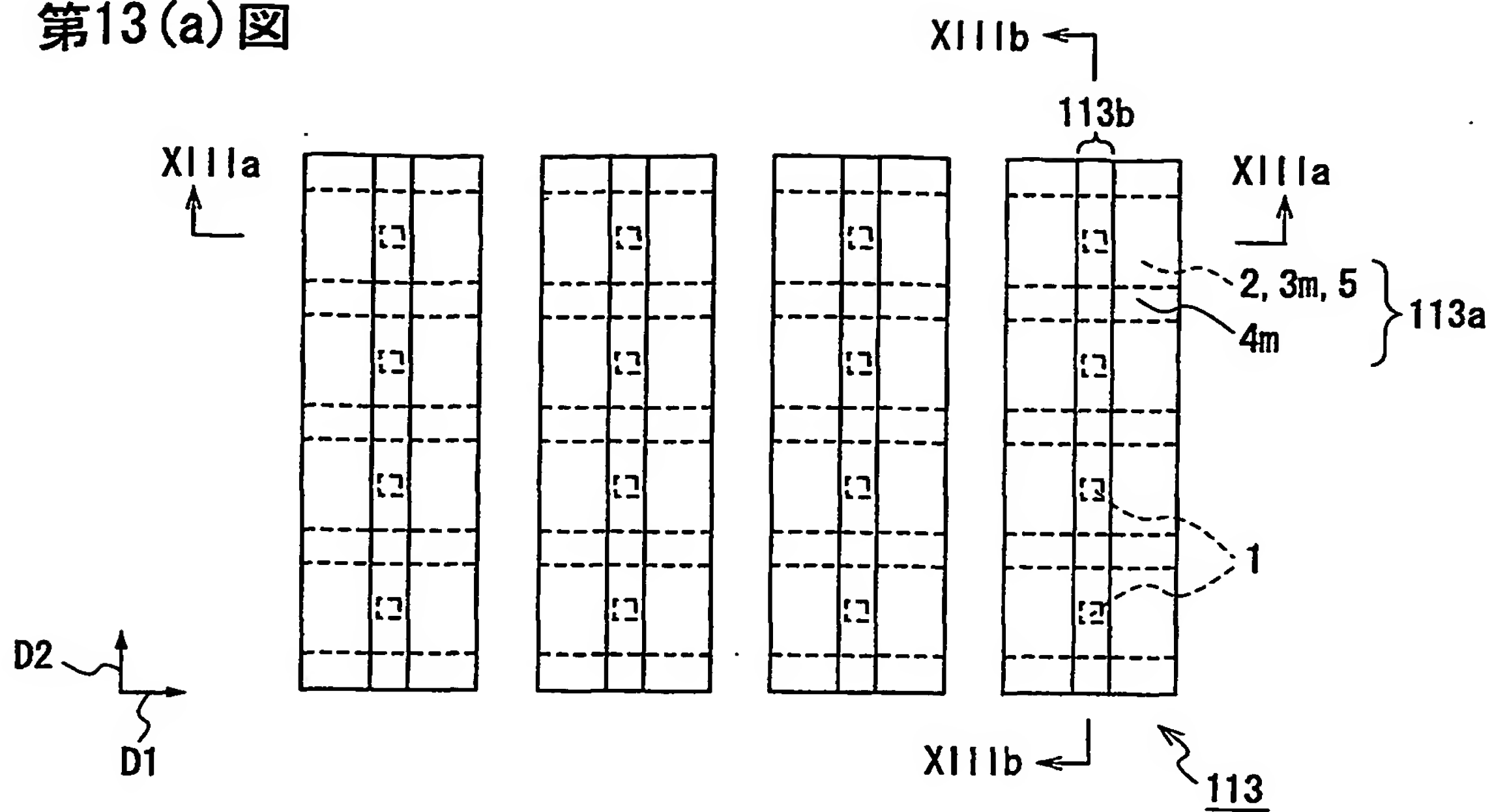
第12(a) 図



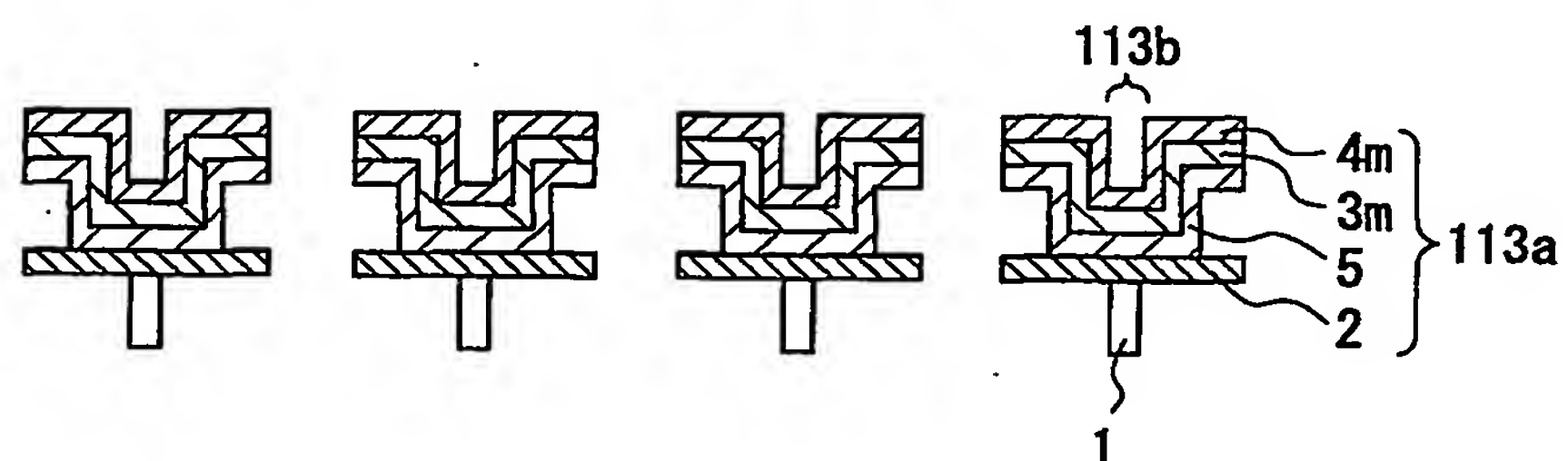
第12(b) 図



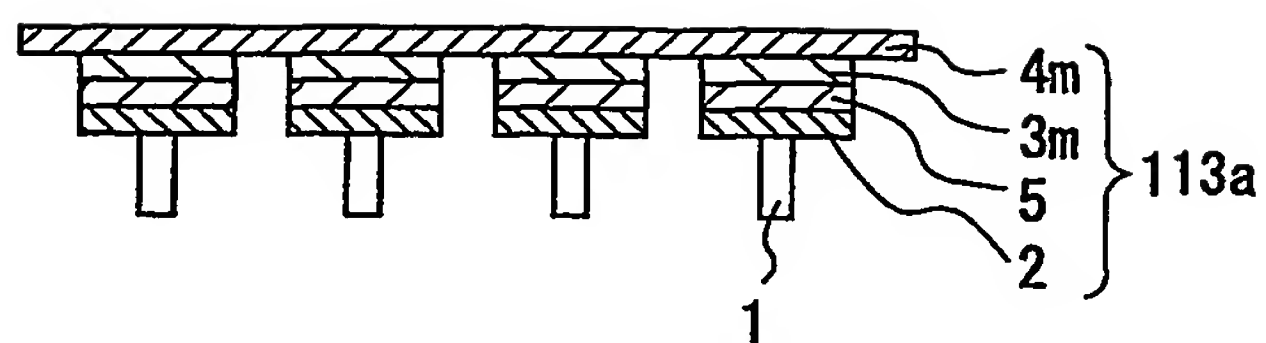
第13(a) 図



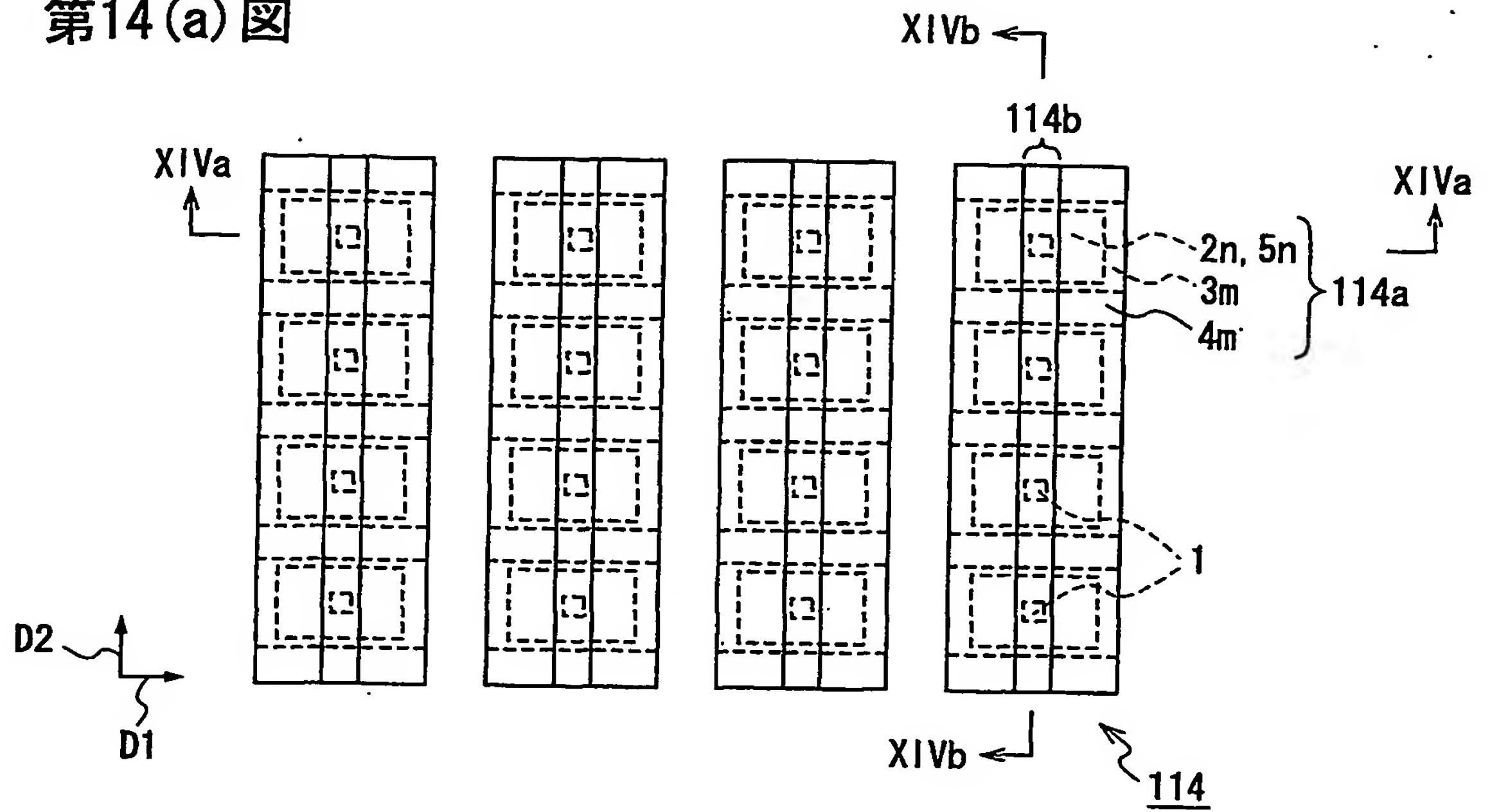
第13(b) 図



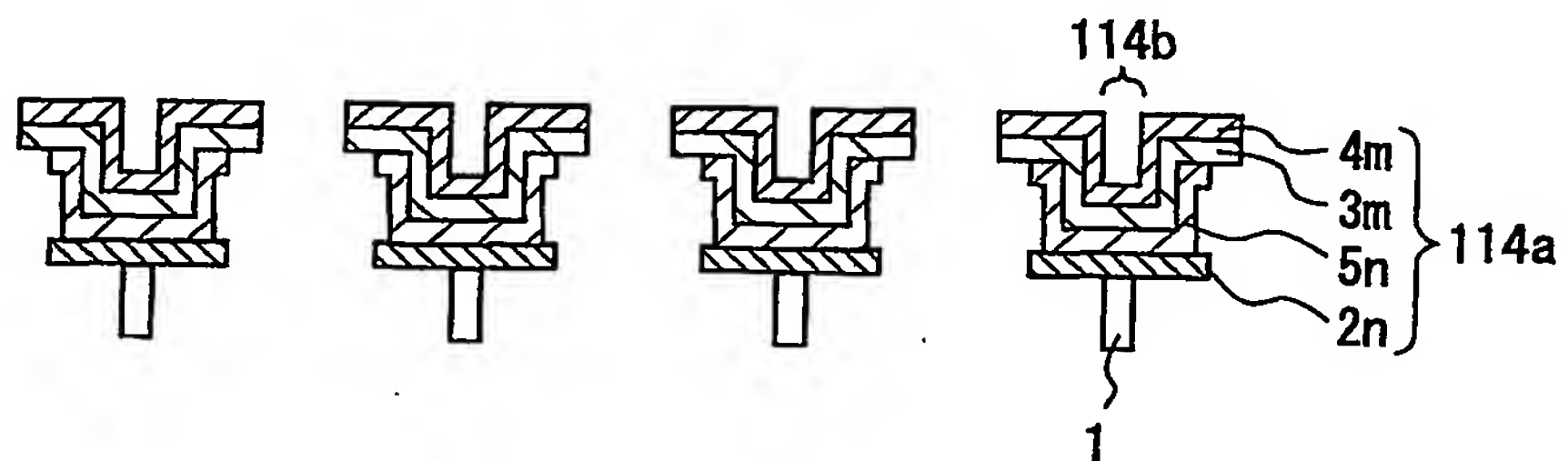
第13(c) 図



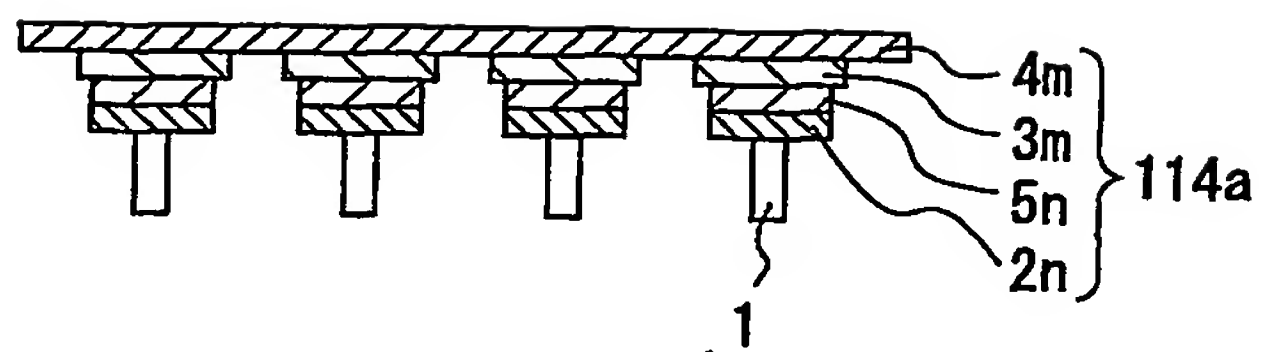
第14(a) 図



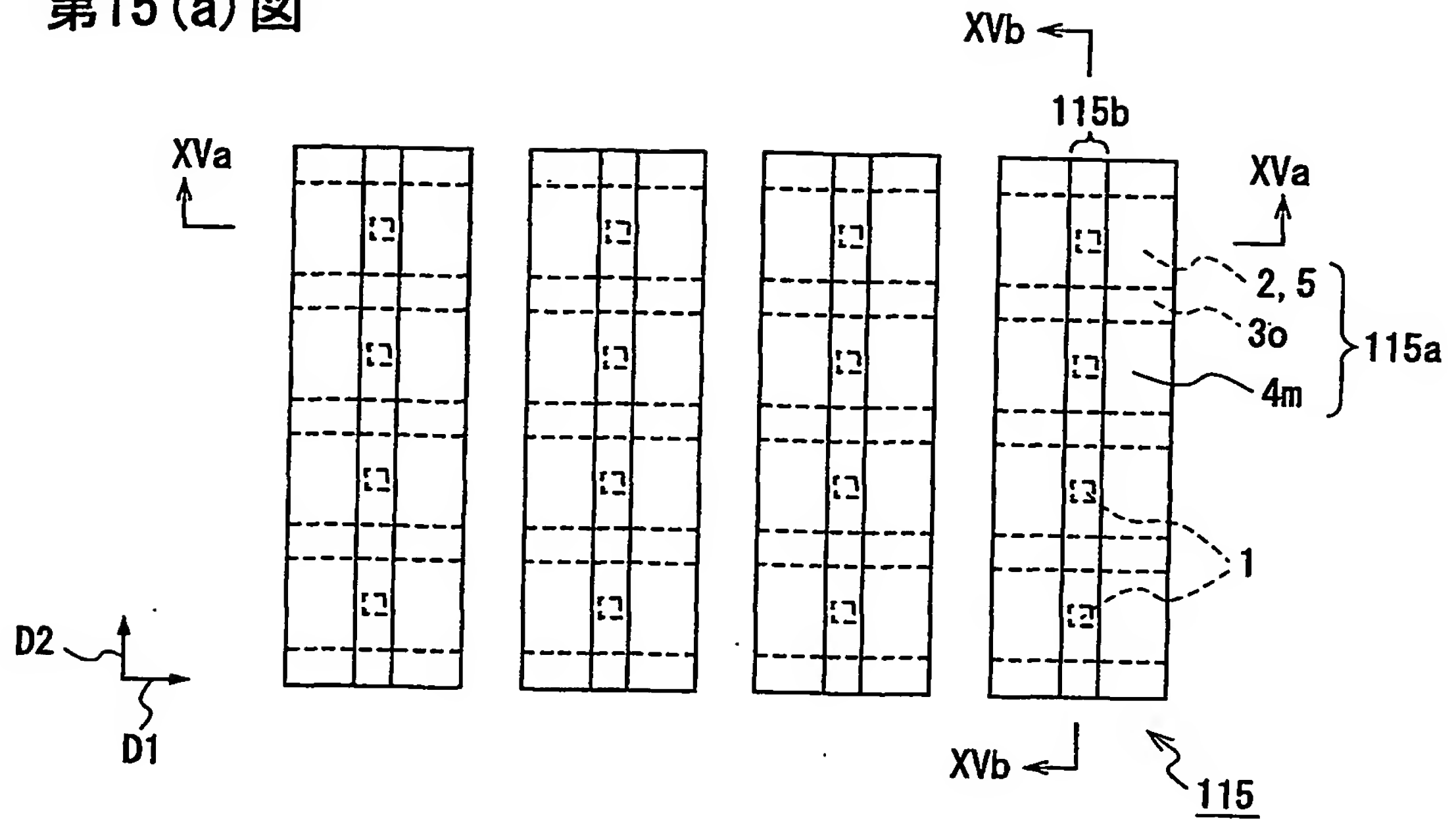
第14(b) 図



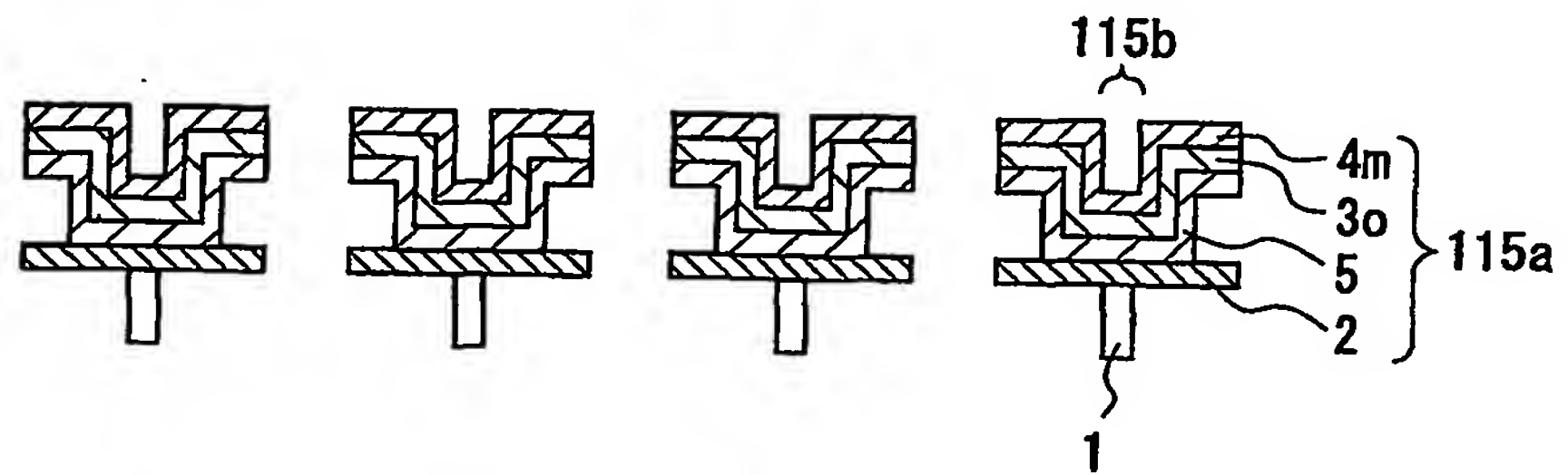
第14(c) 図



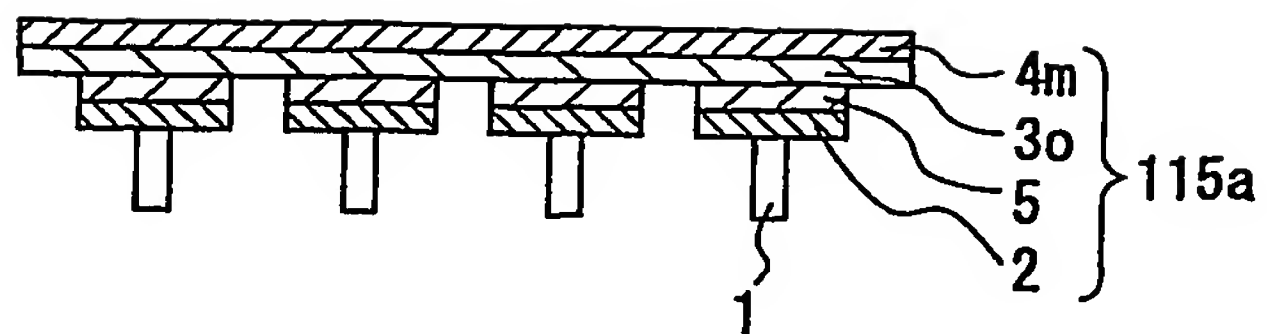
第15(a) 図



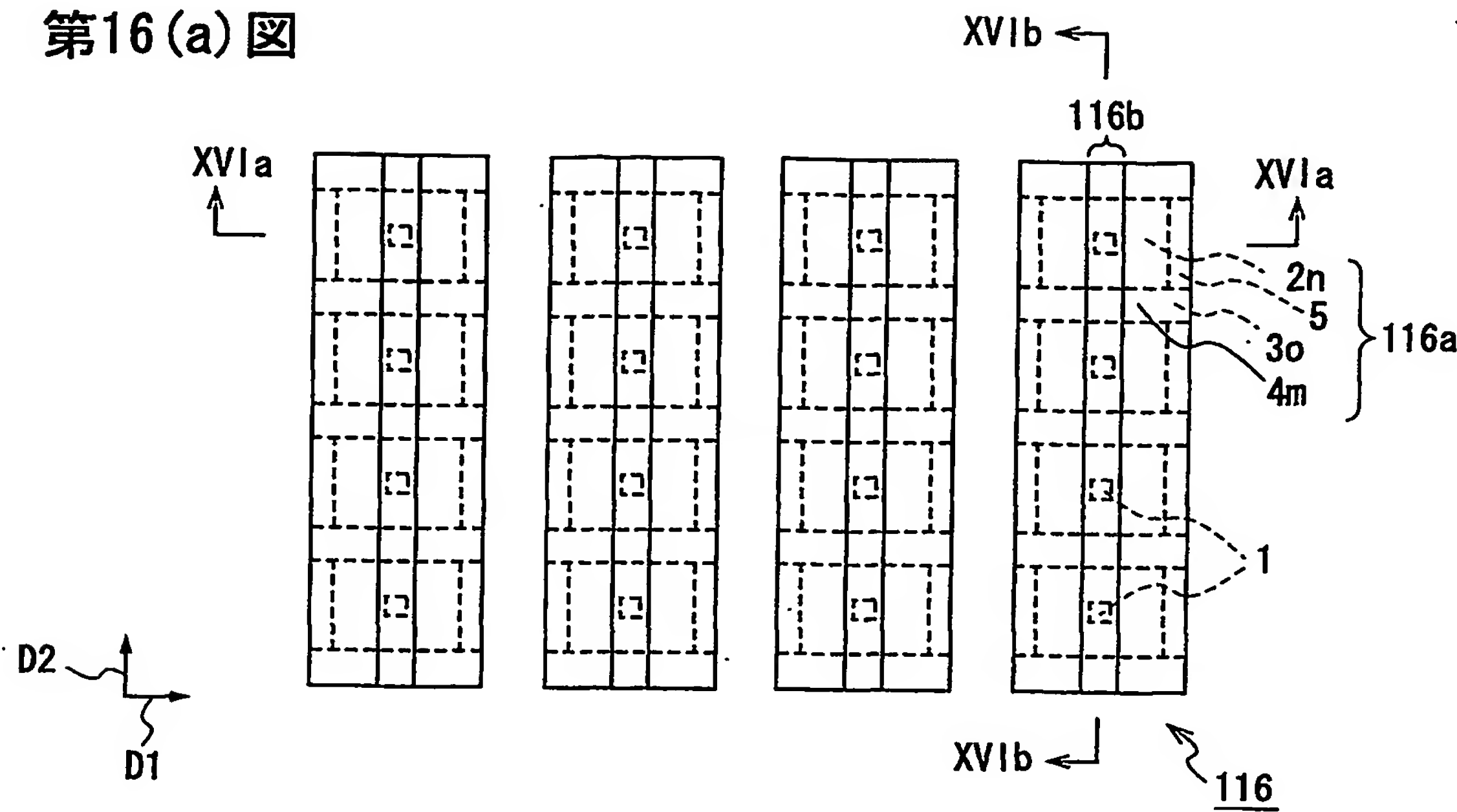
第15(b) 図



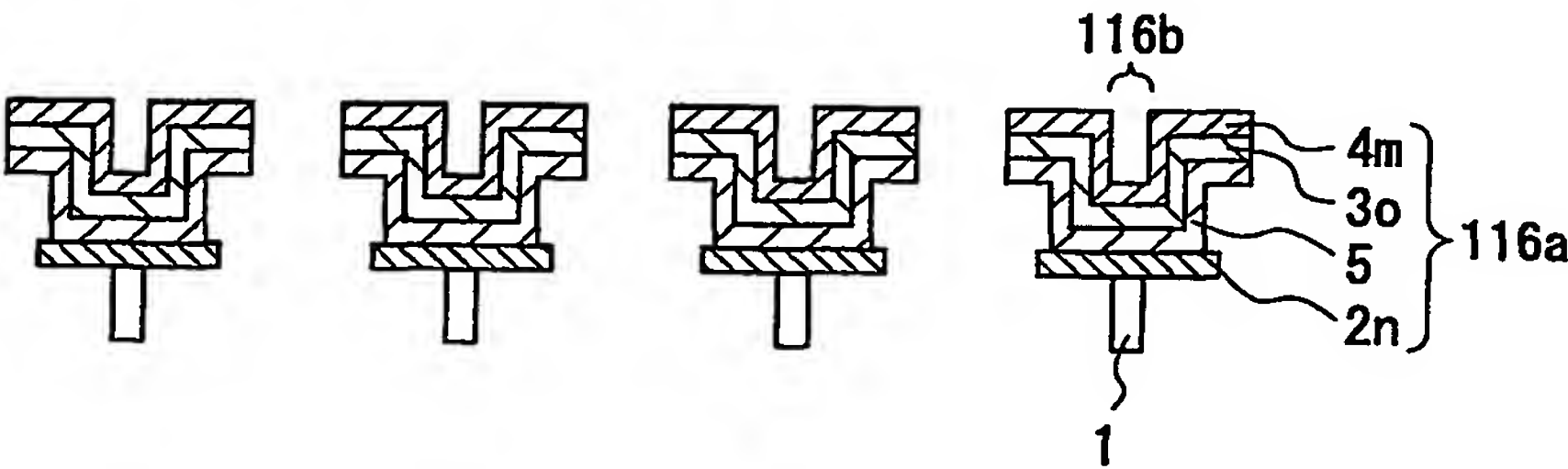
第15(c) 図



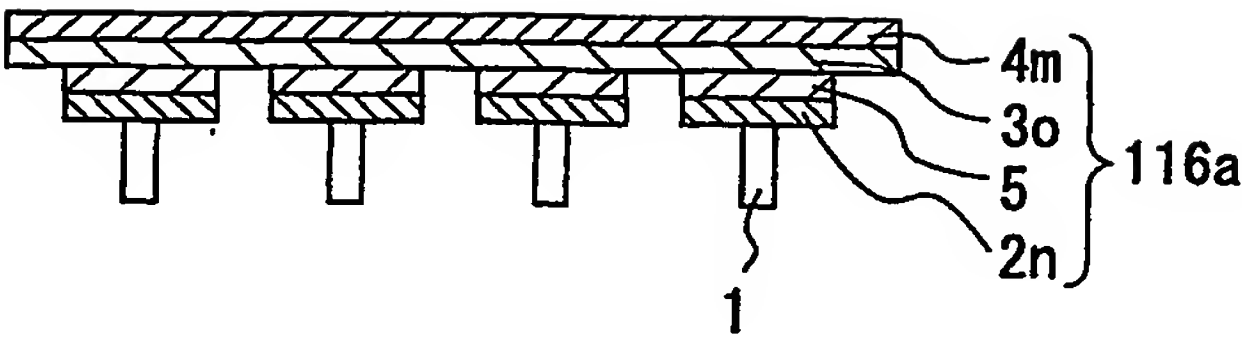
第16(a) 図



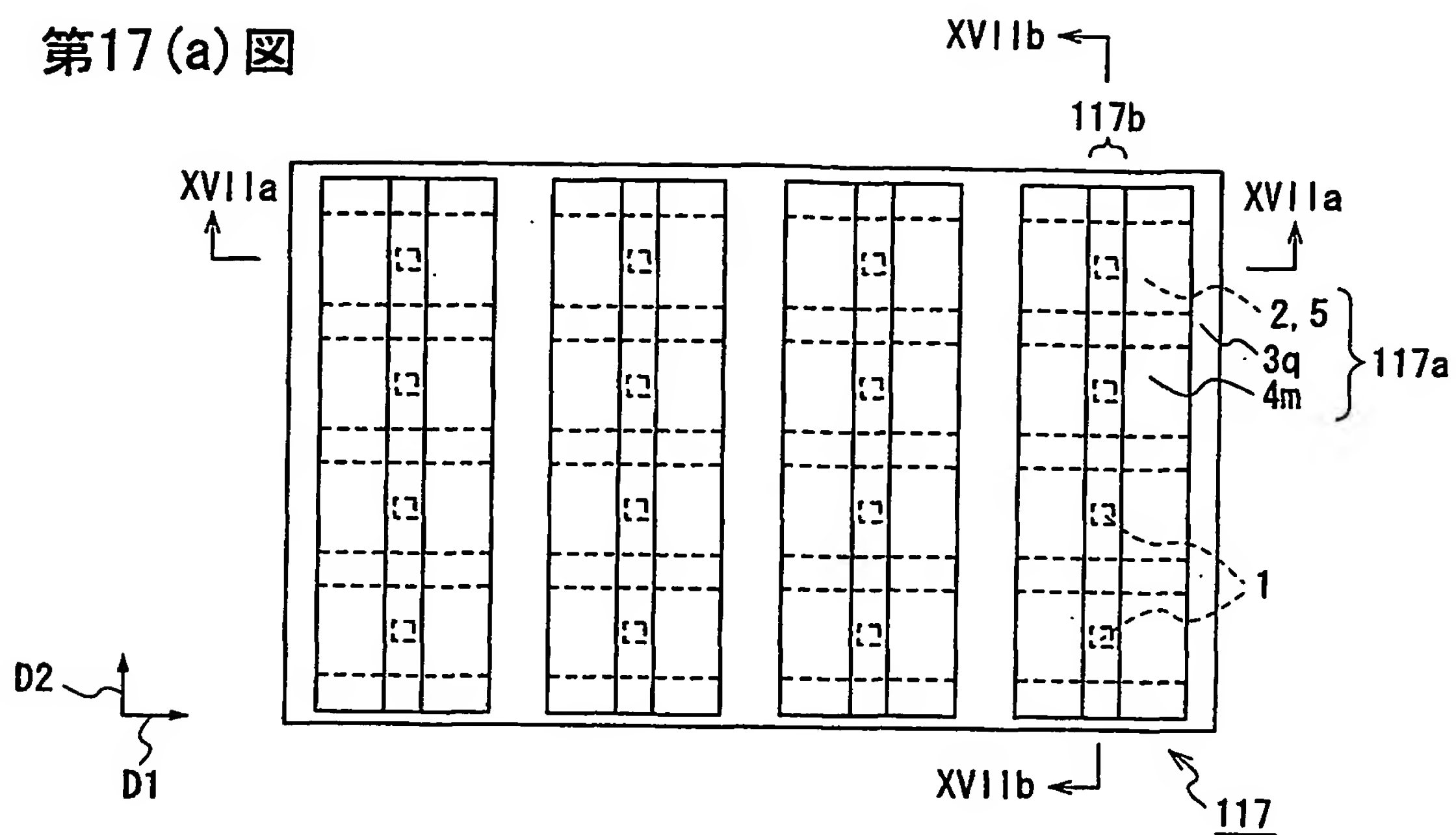
第16(b) 図



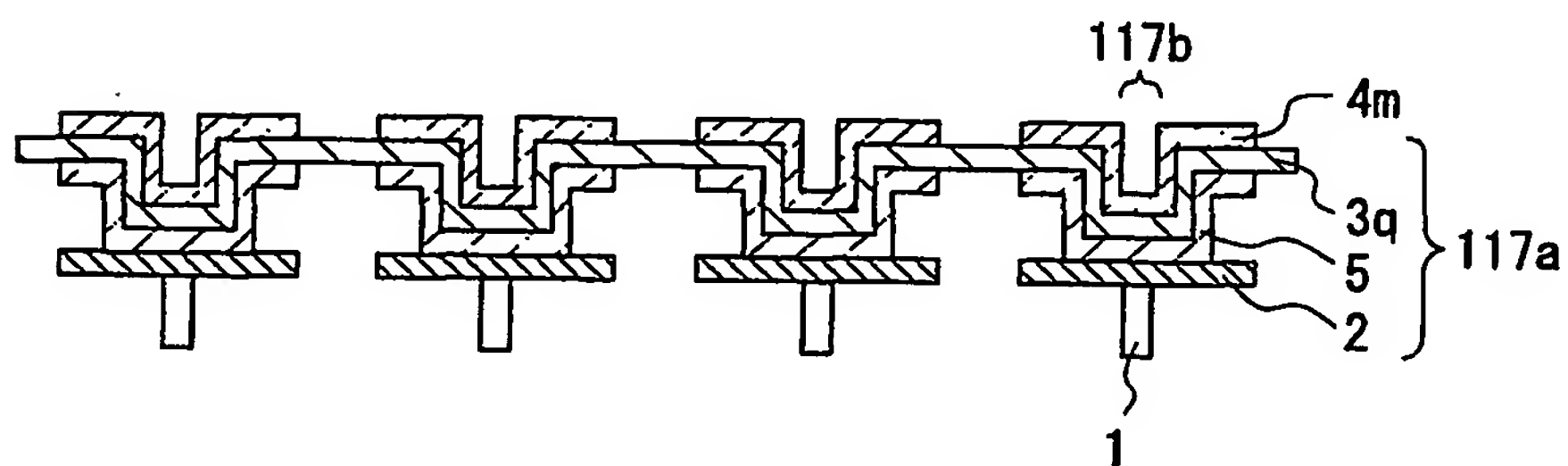
第16(c) 図



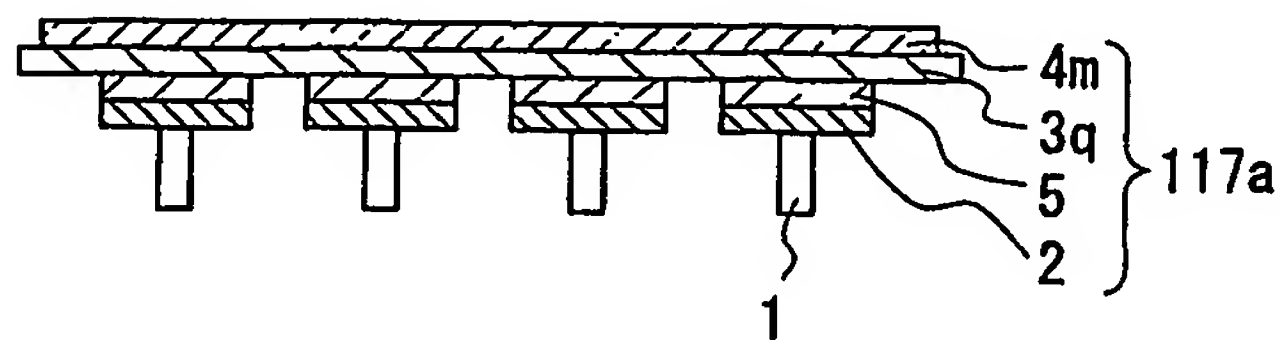
第17(a) 図



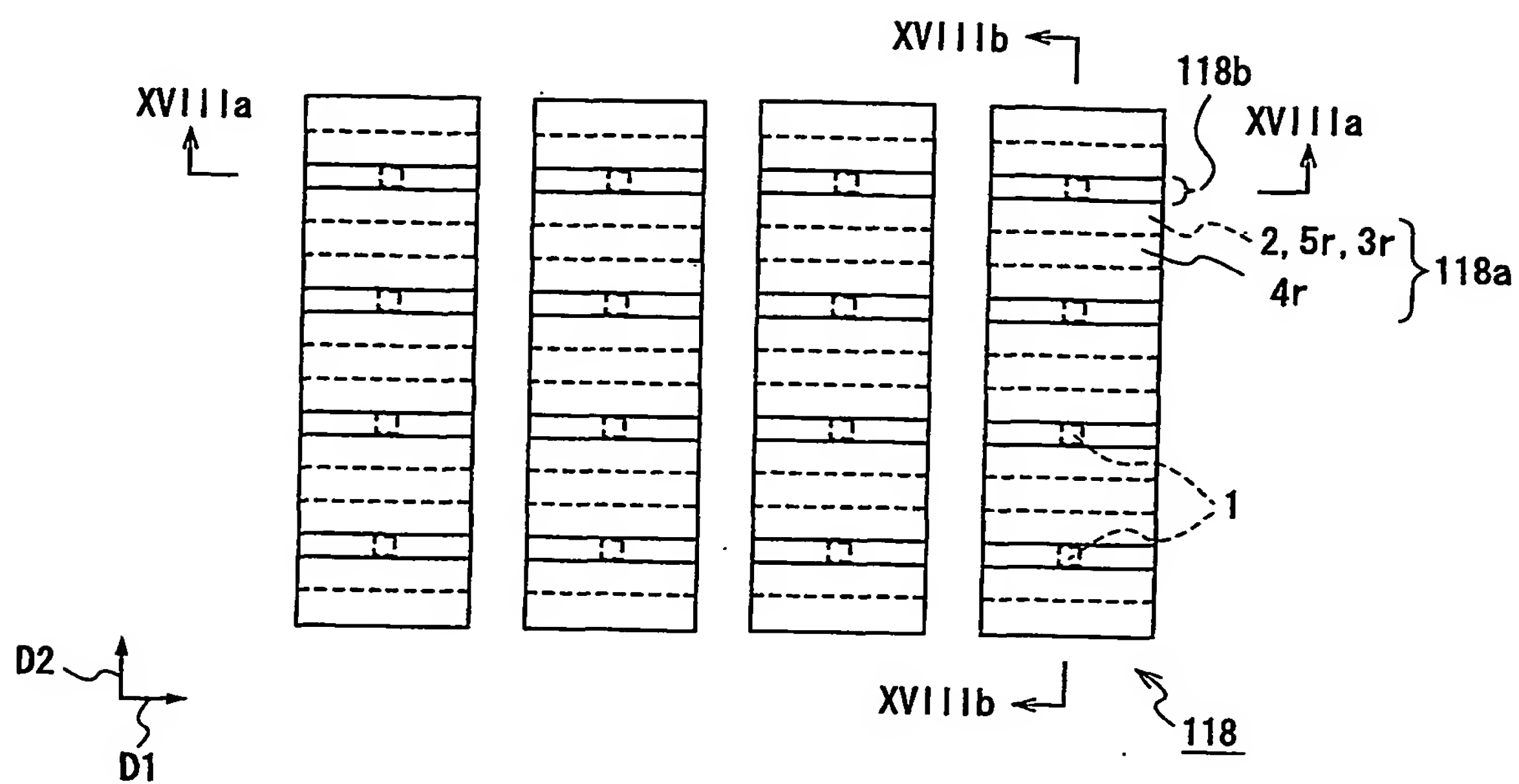
第17(b) 図



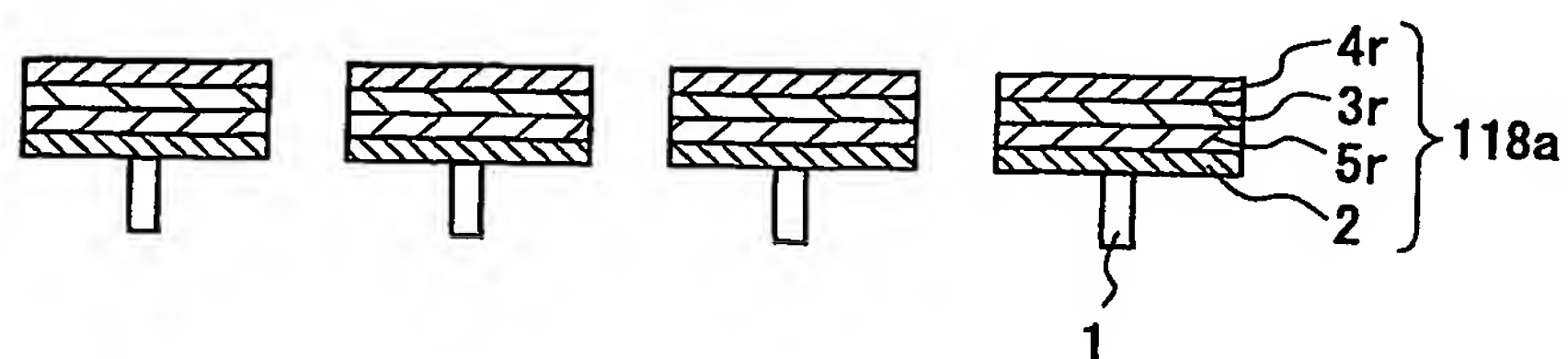
第17(c) 図



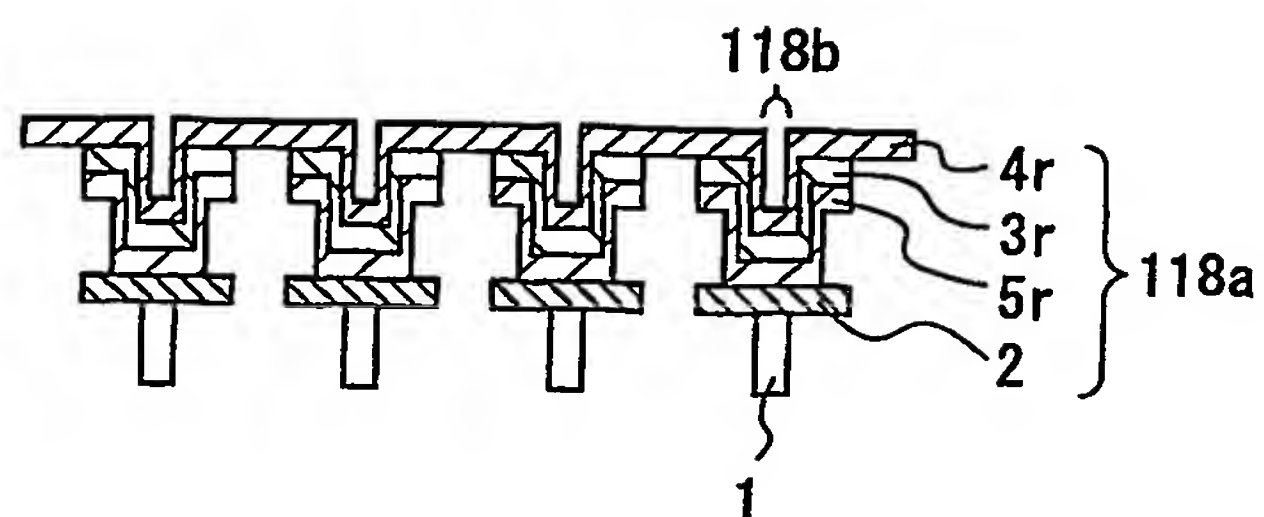
第18(a) 図



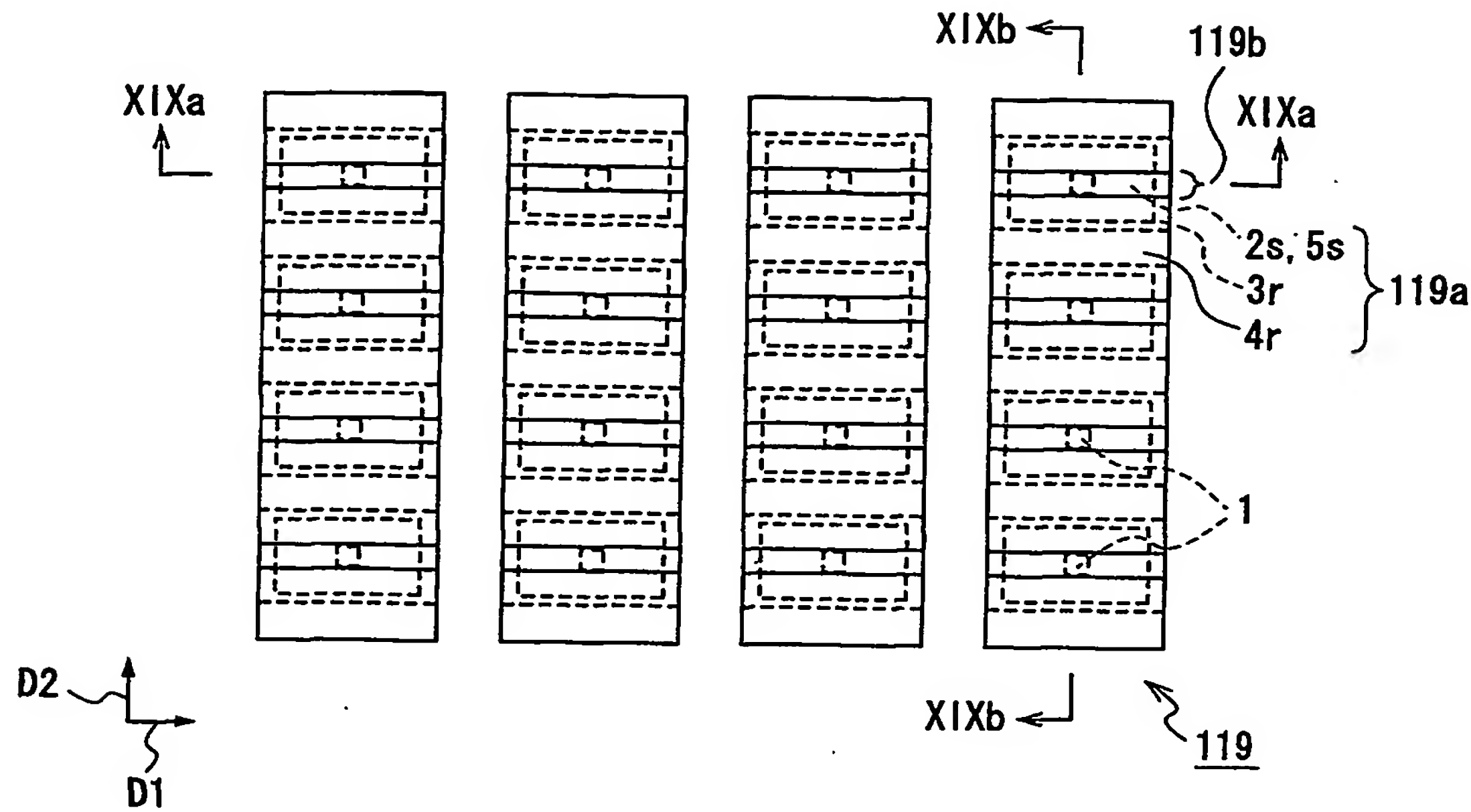
第18(b) 図



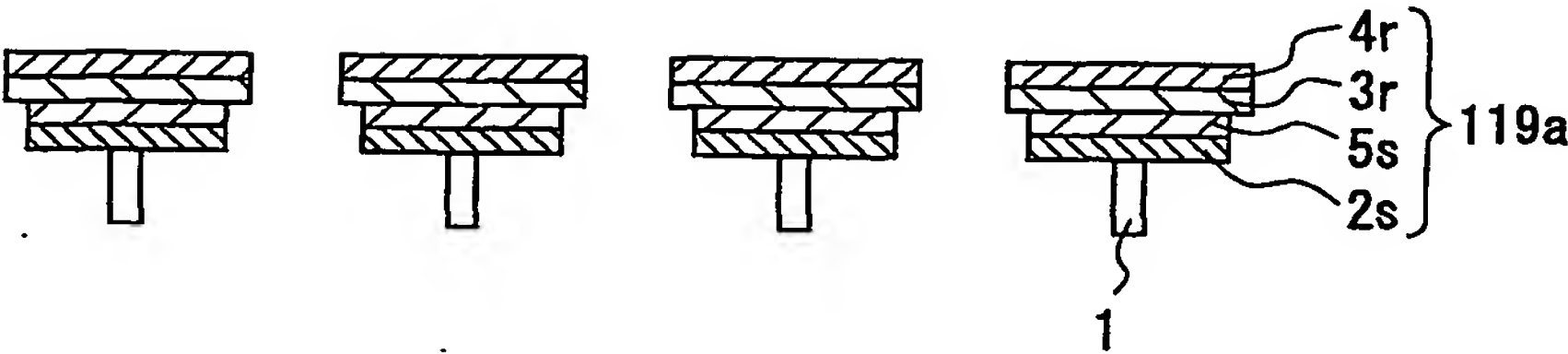
第18(c) 図



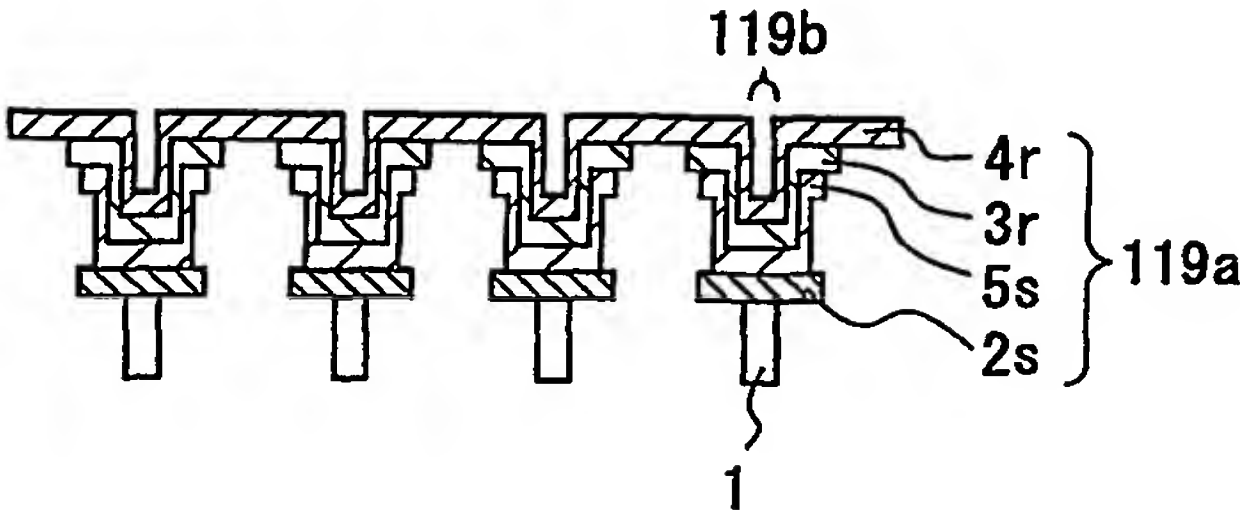
第19(a) 図



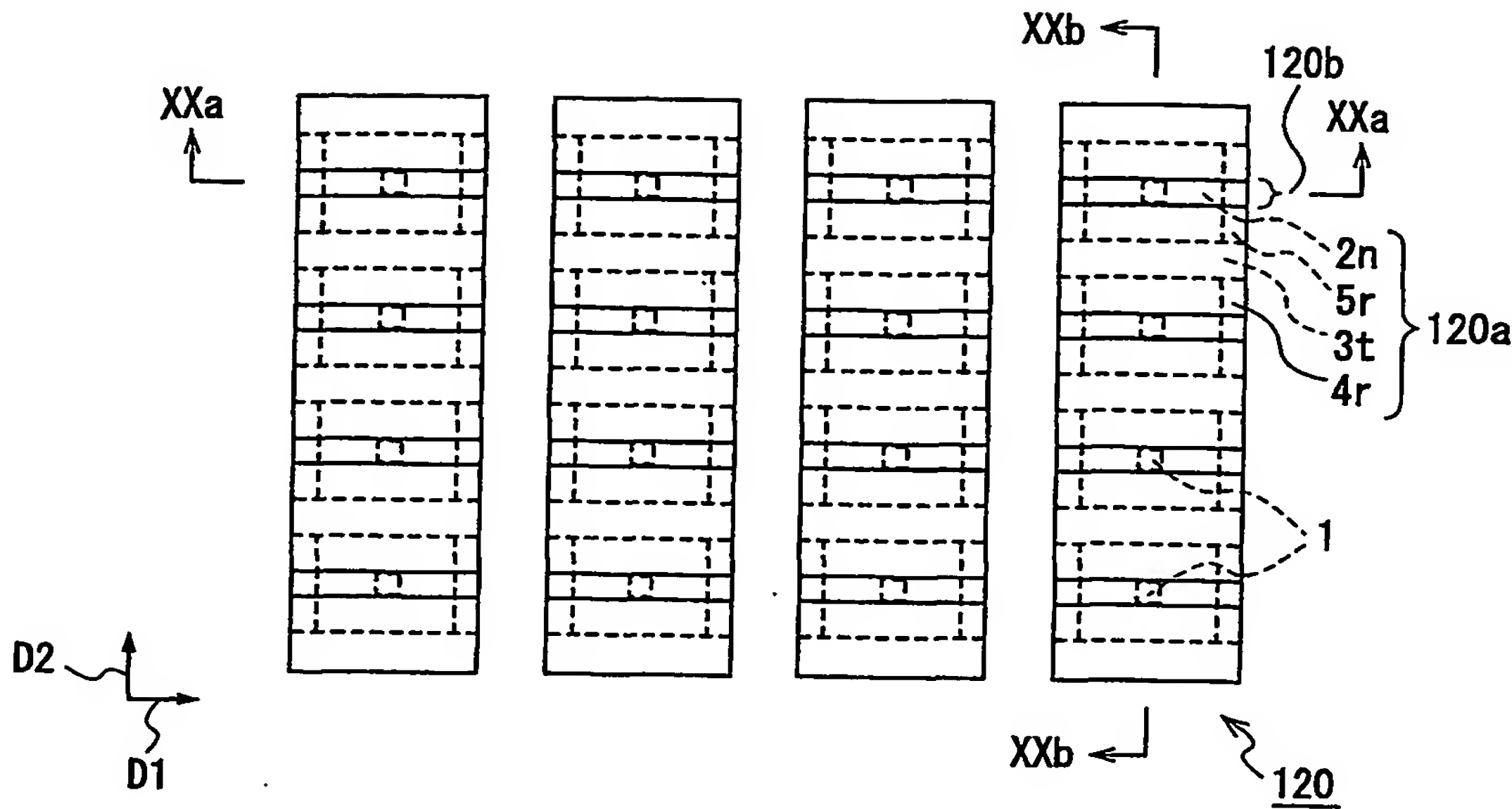
第19(b) 図



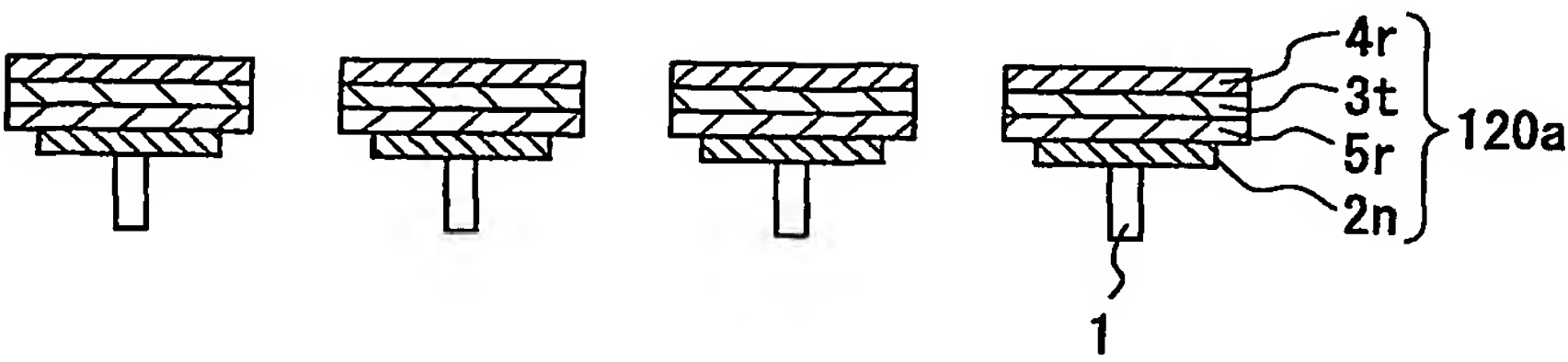
第19(c) 図



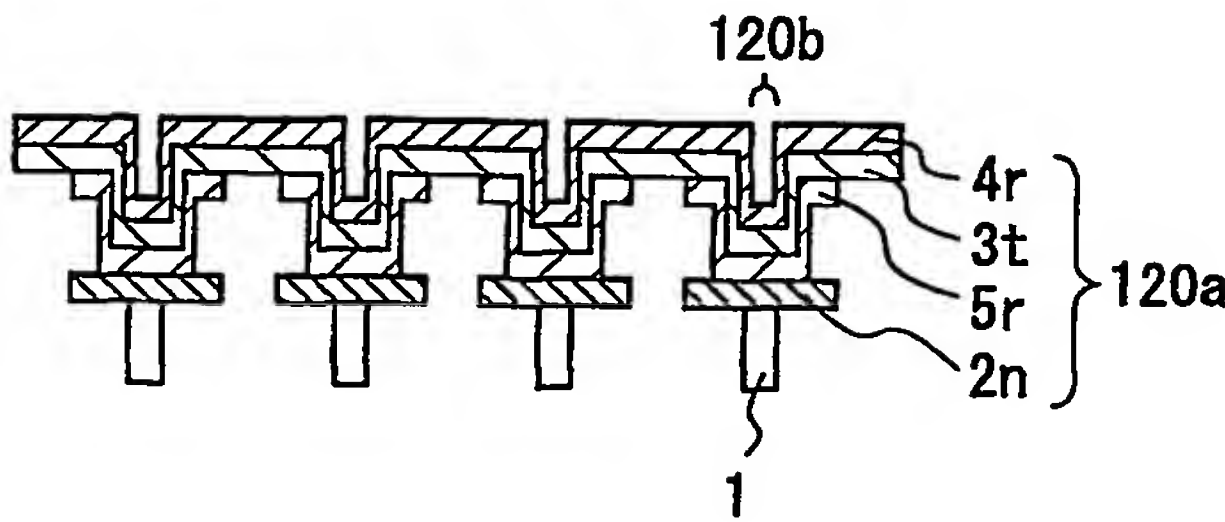
第20(a) 図



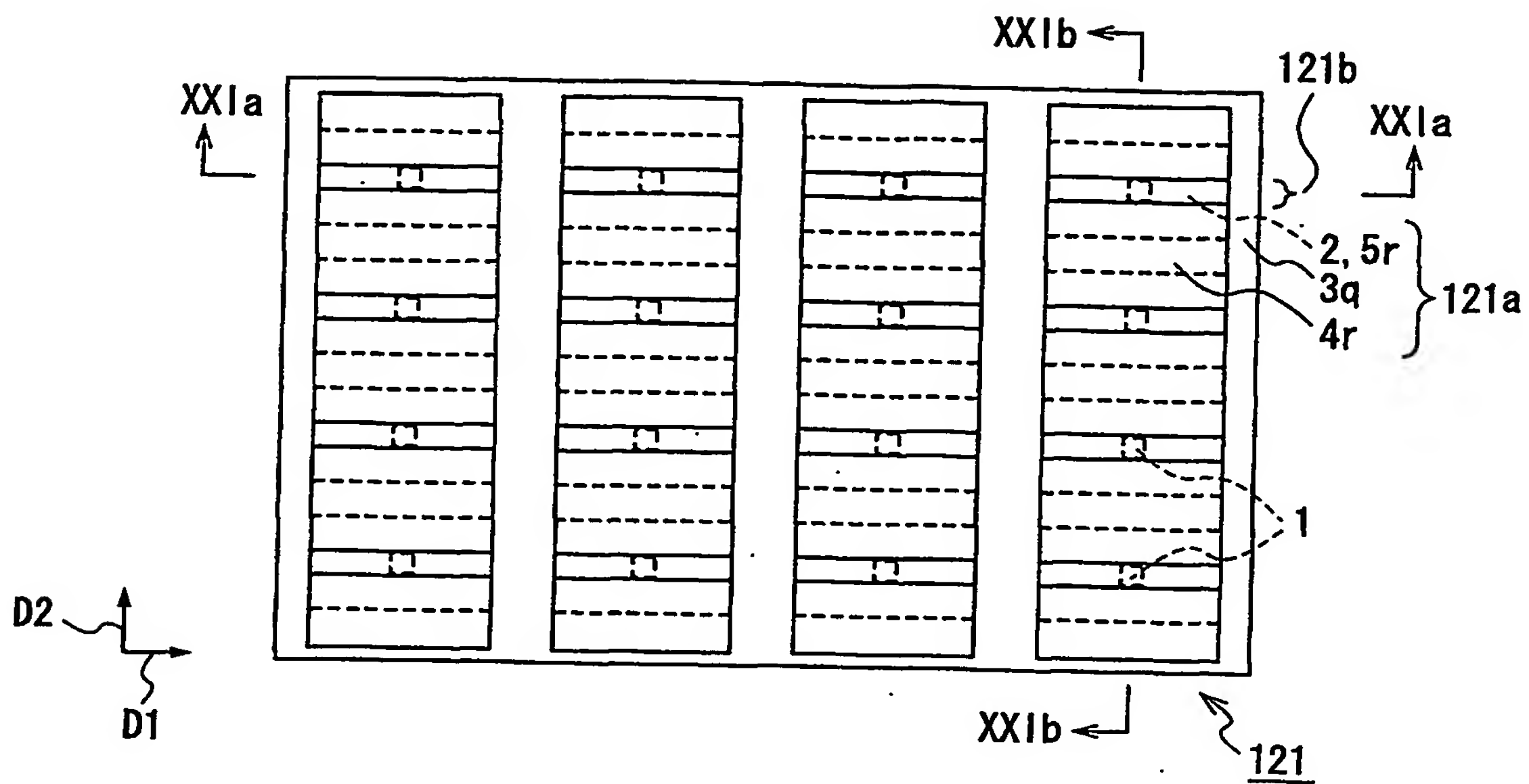
第20(b) 図



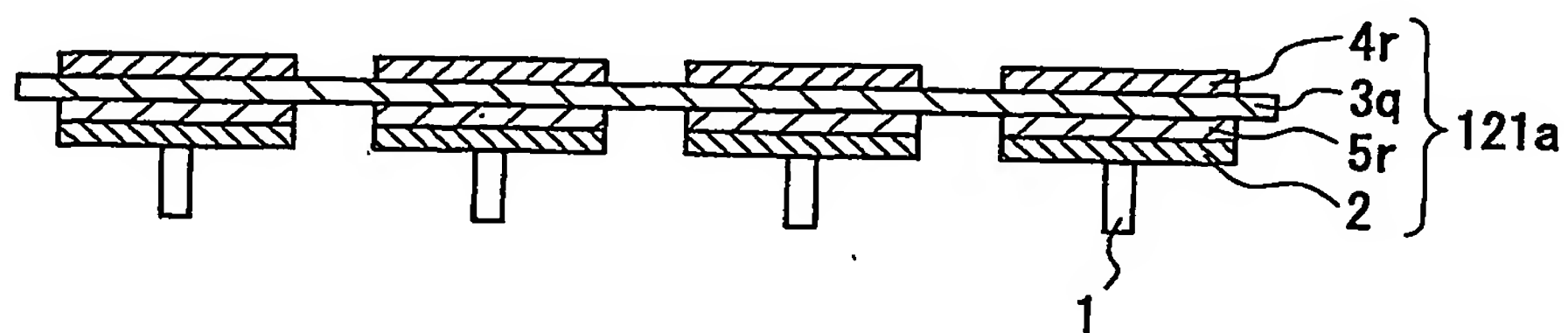
第20(c) 図



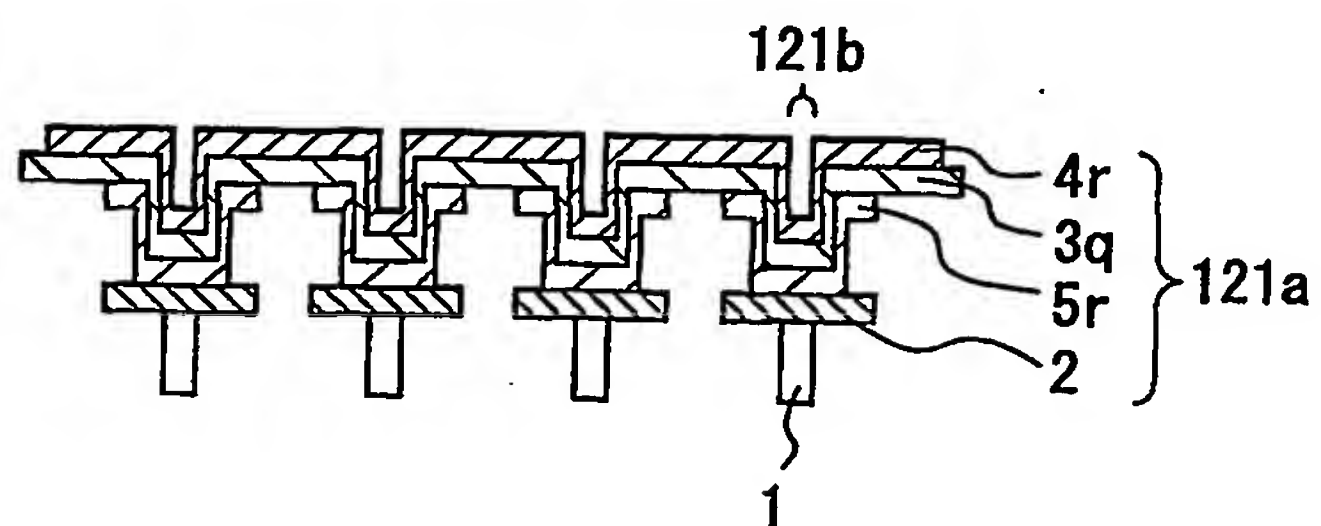
第21(a) 図



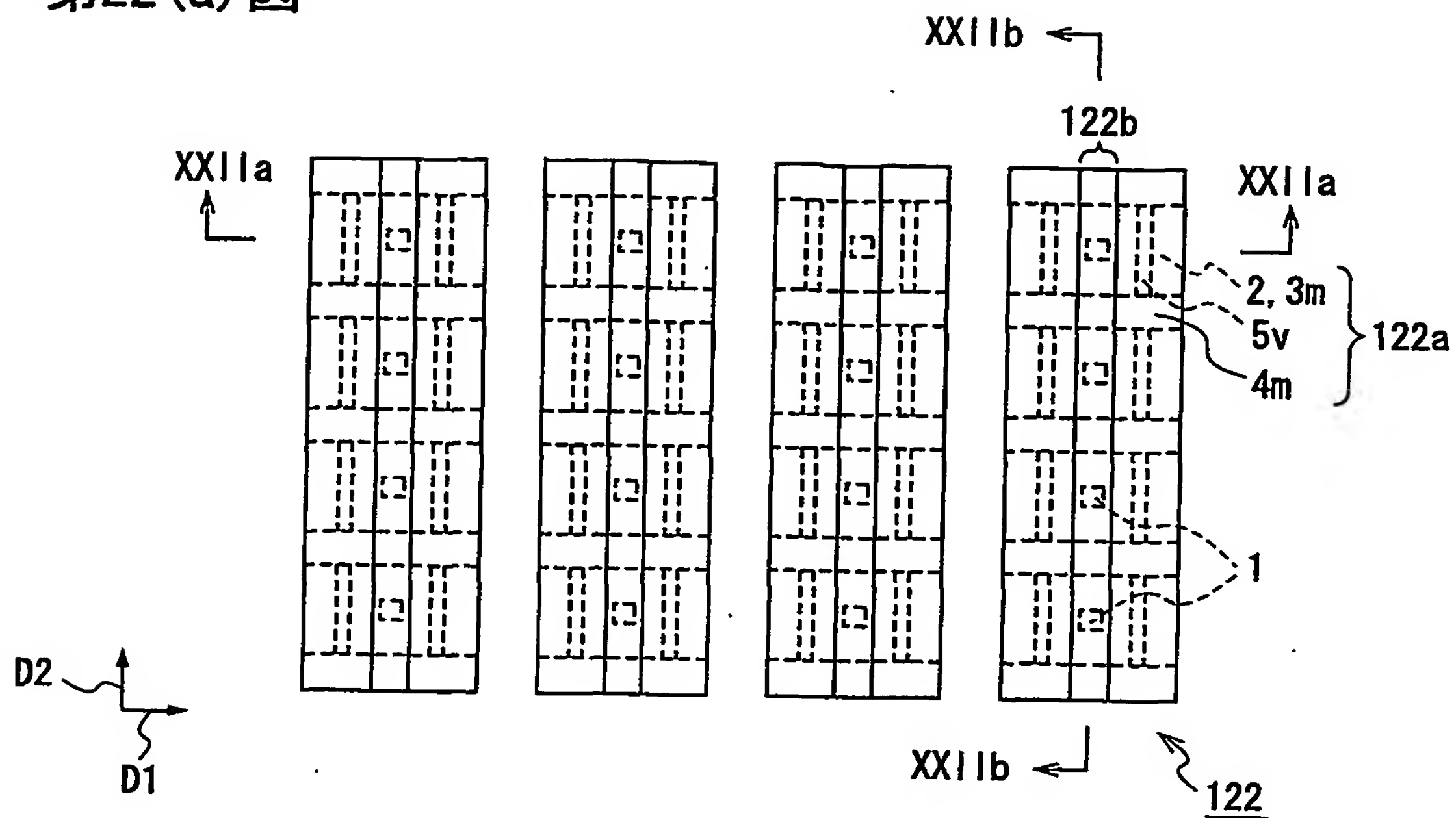
第21(b) 図



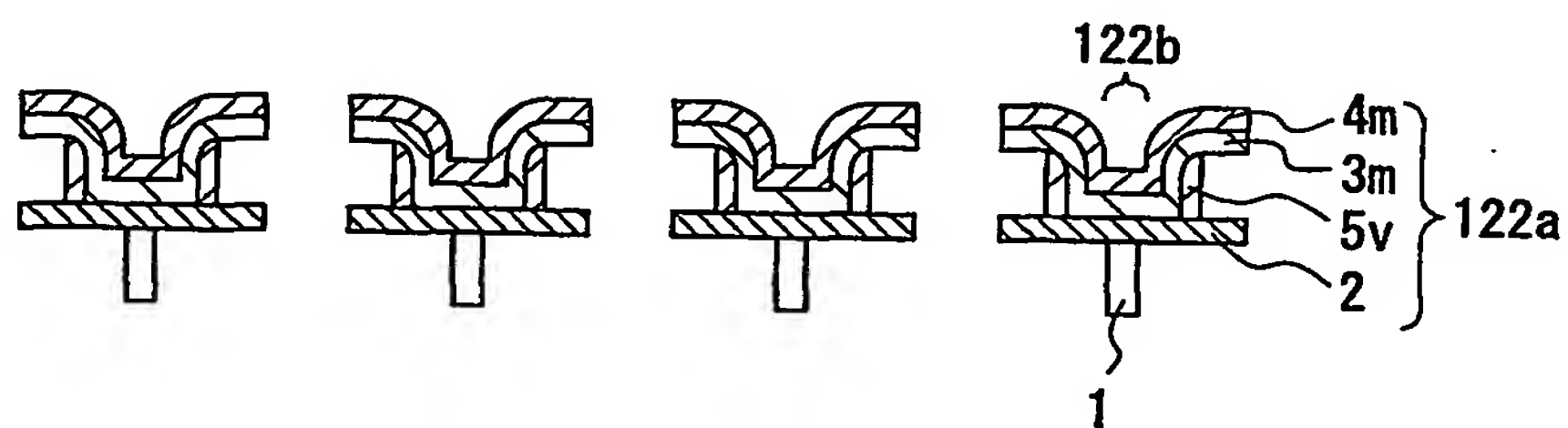
第21(c) 図



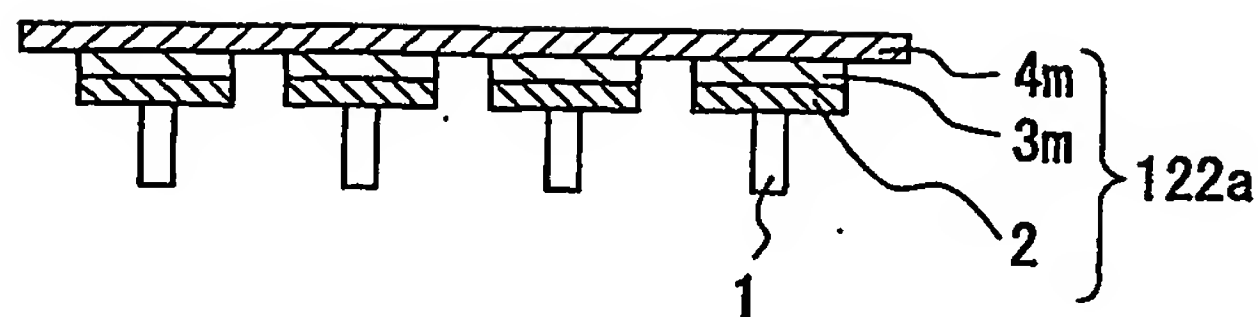
第22(a) 図



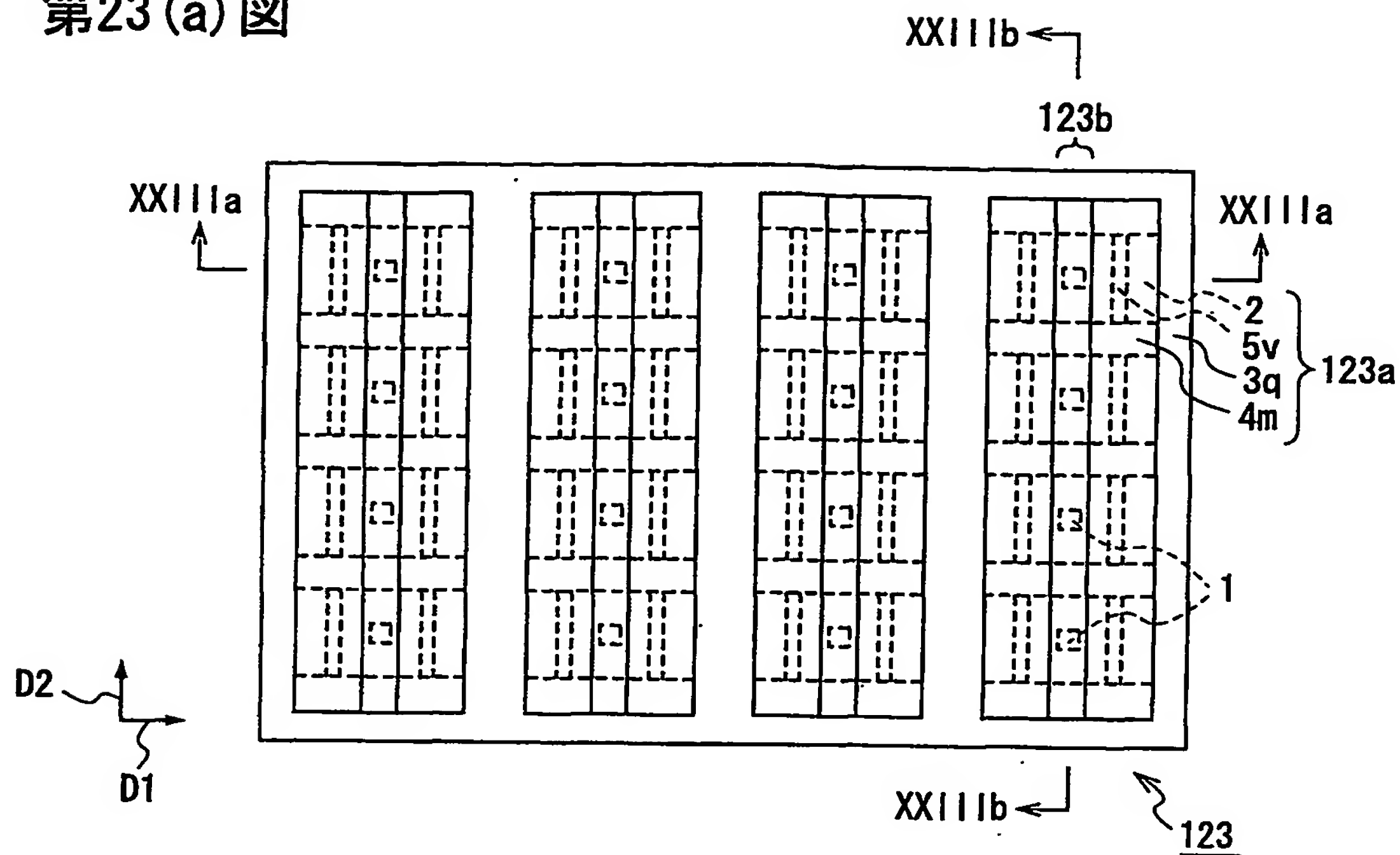
第22(b) 図



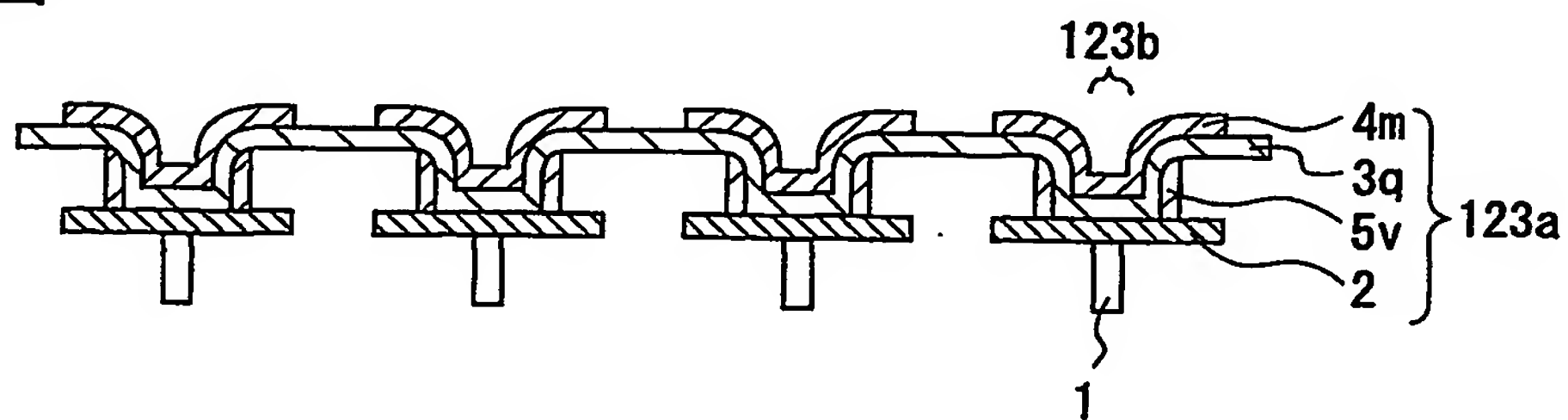
第22(c) 図



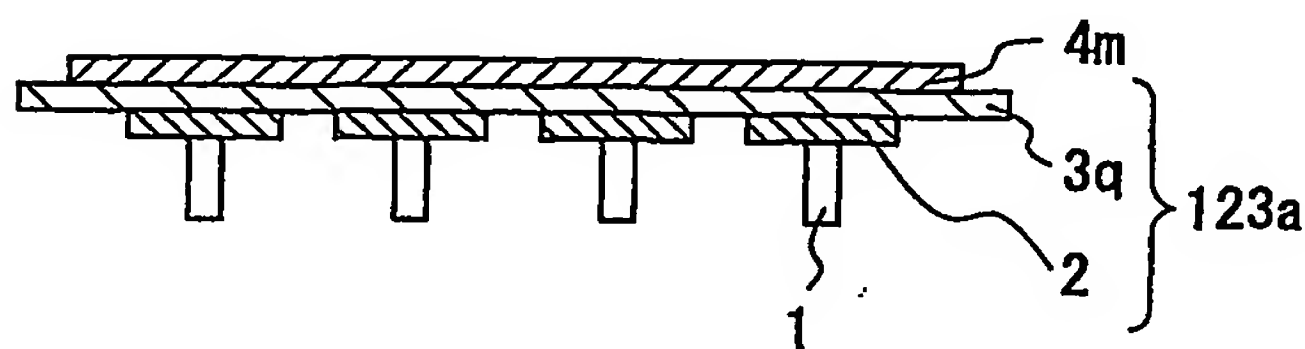
第23(a) 図



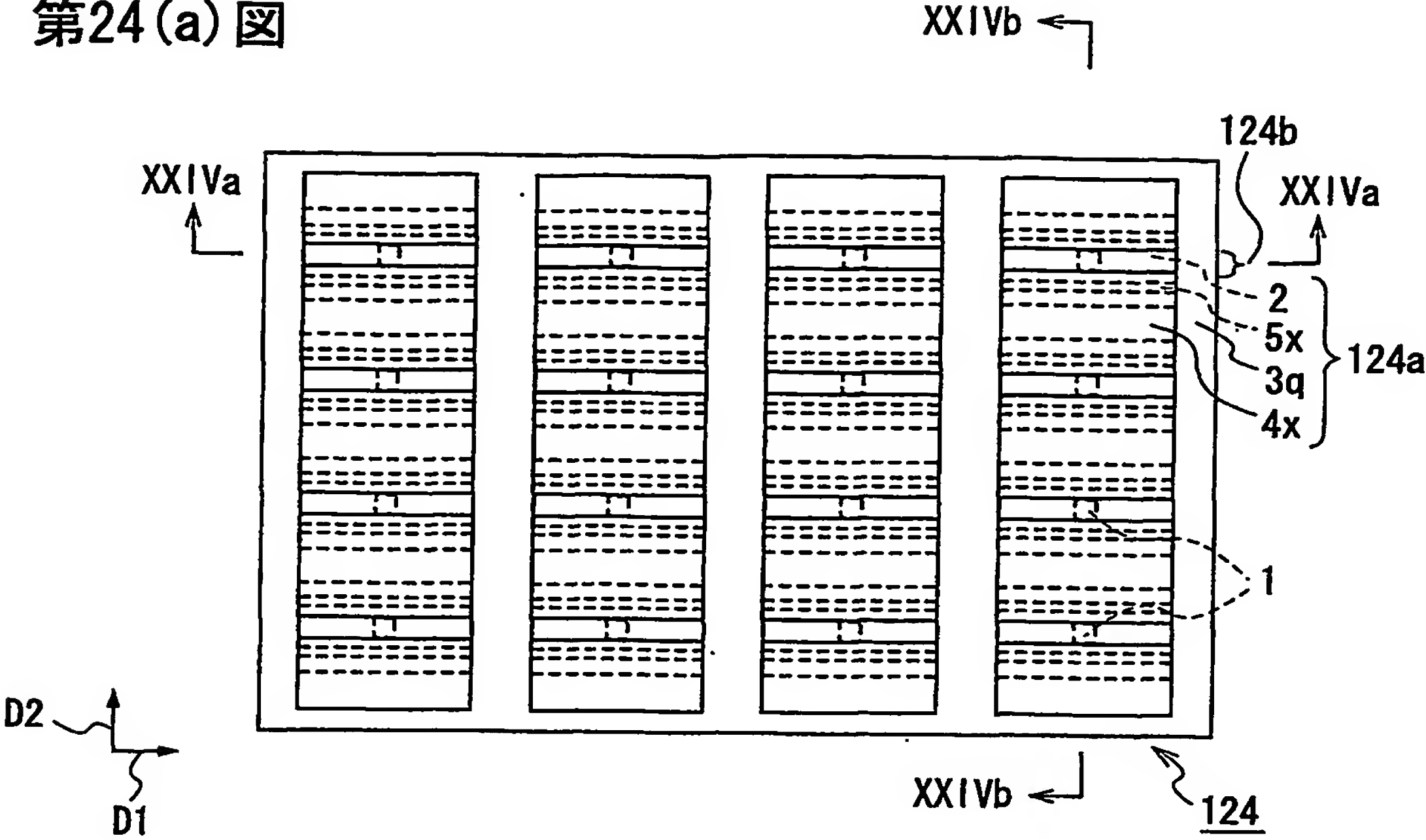
第23(b) 図



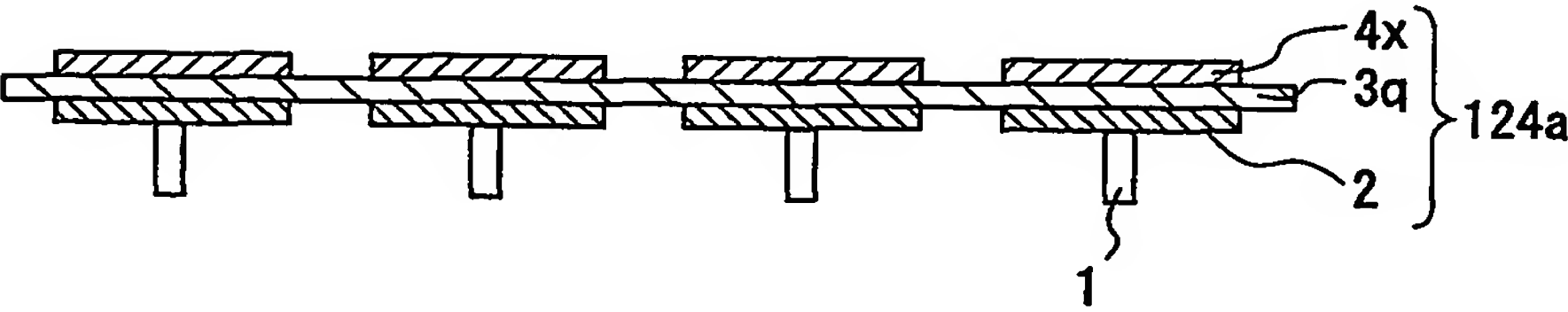
第23(c) 図



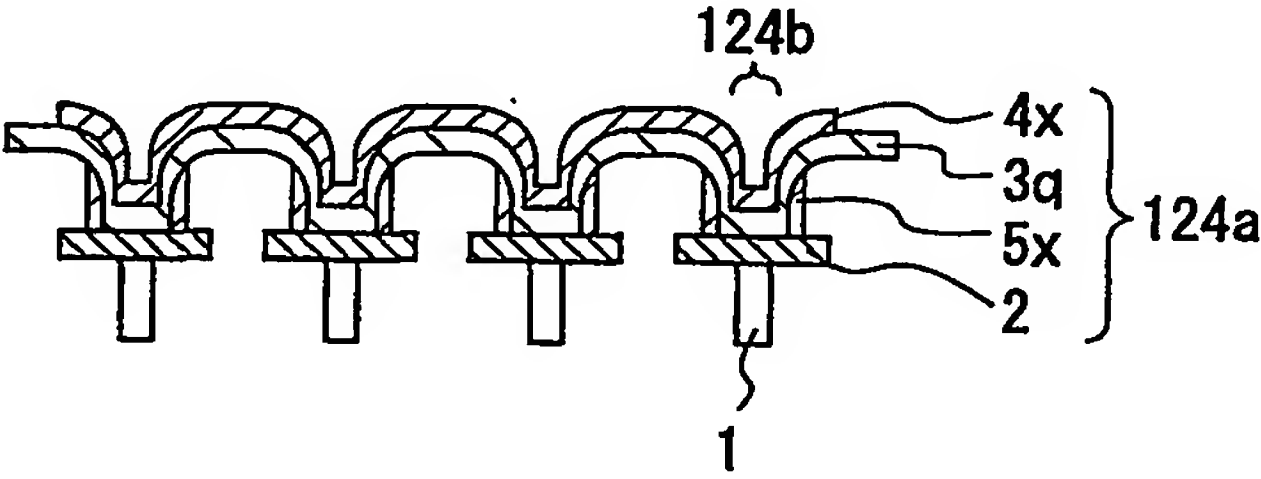
第24(a) 図



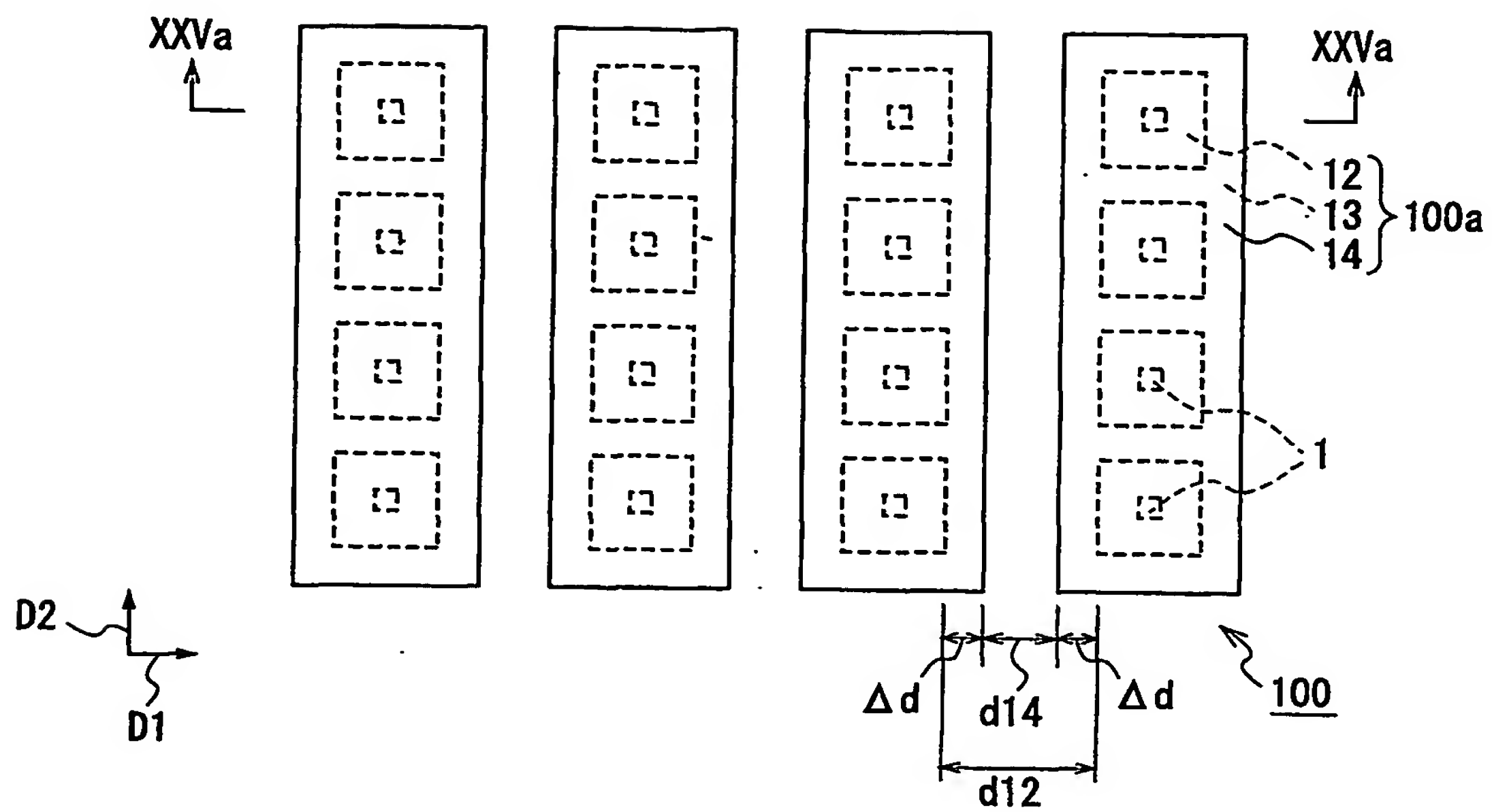
第24(b) 図



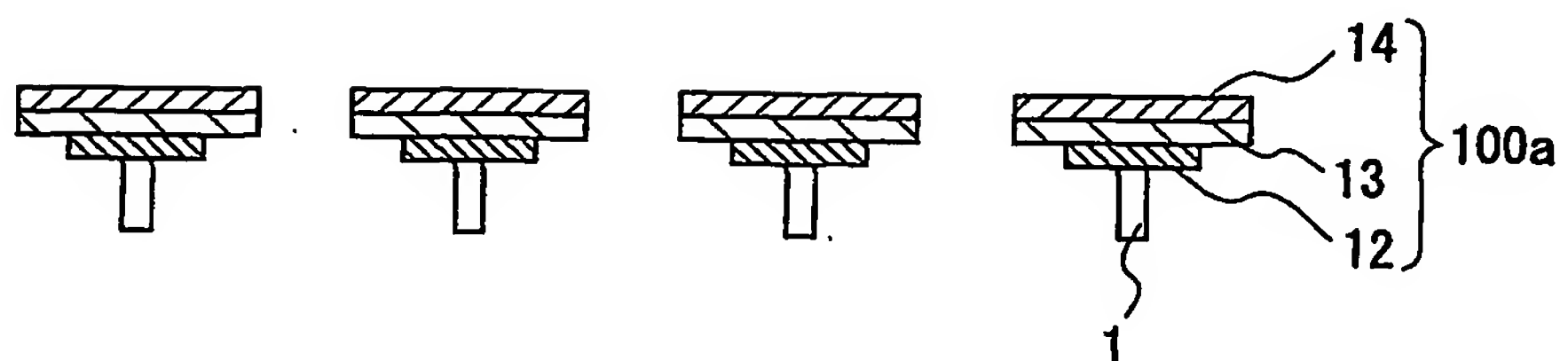
第24(c) 図



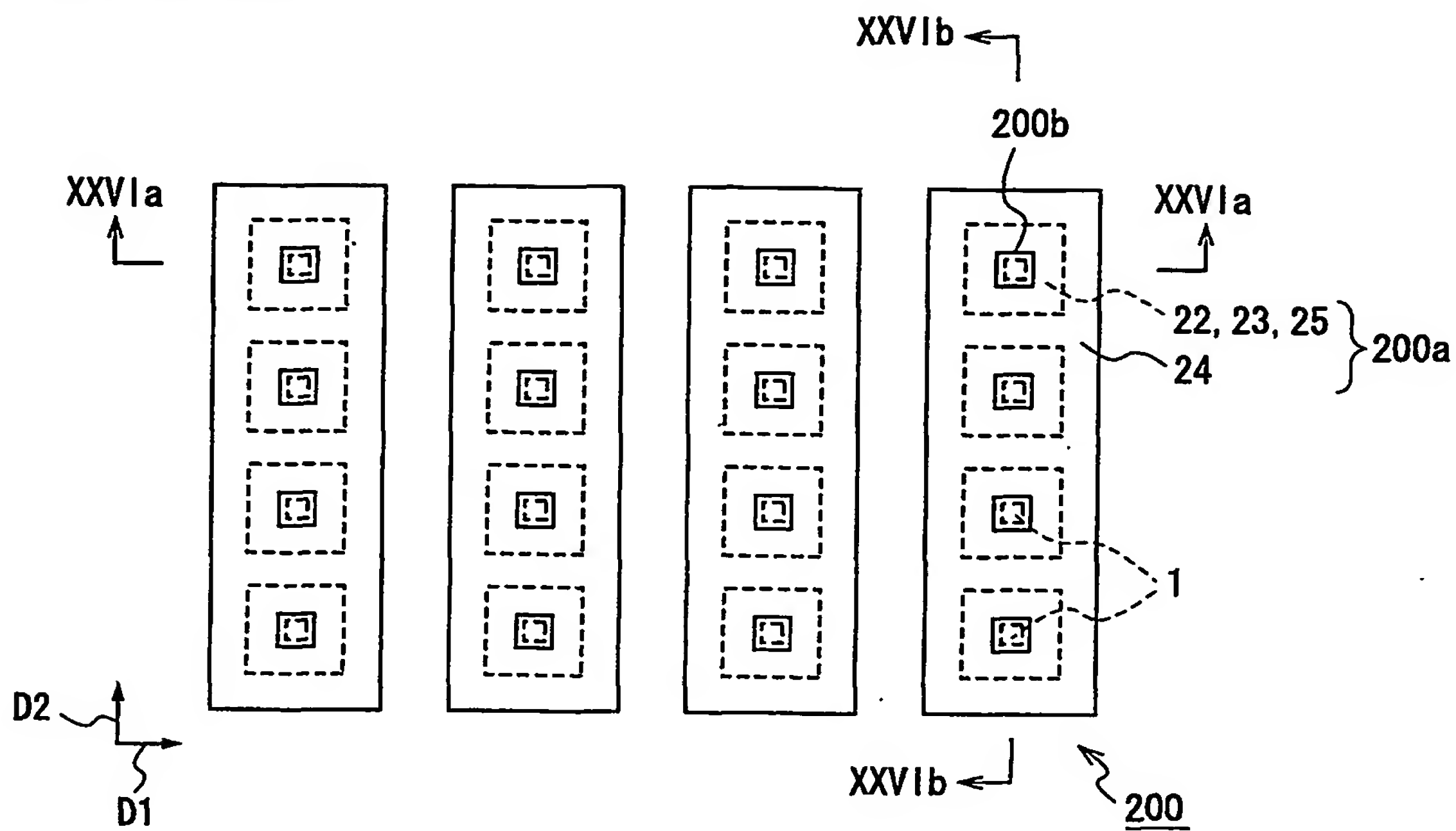
第25(a) 図



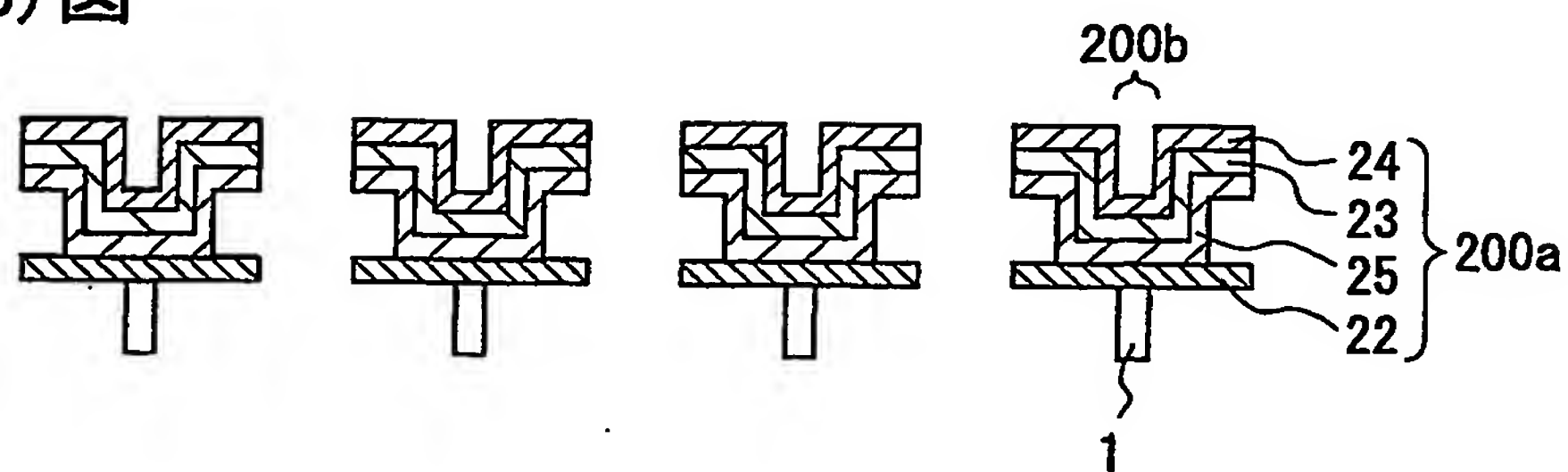
第25(b) 図



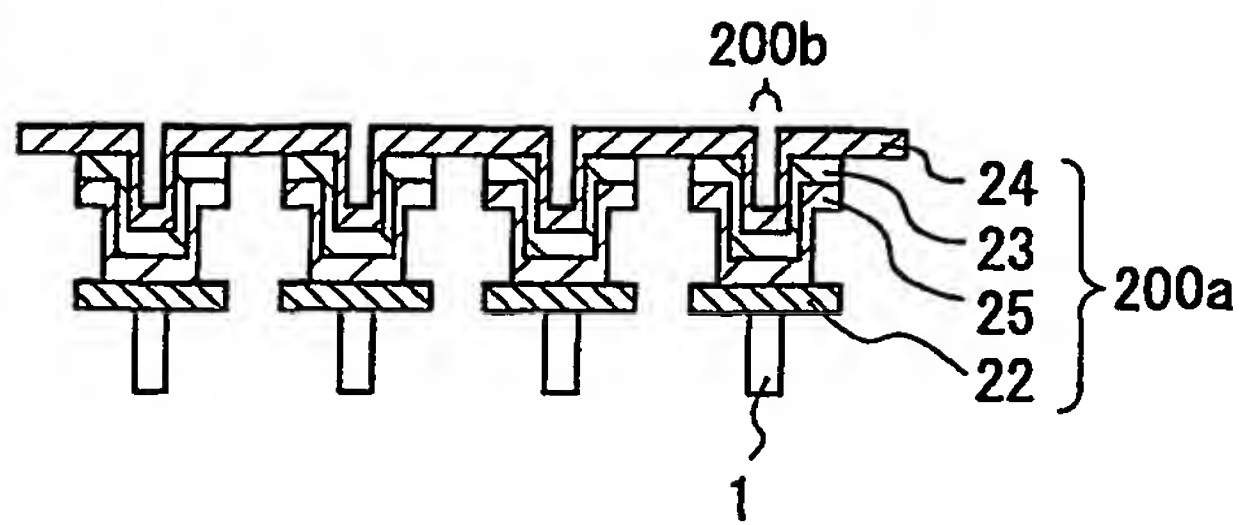
第26(a) 図



第26(b) 図



第26(c) 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005991

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/105, H01L27/108, H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/105, H01L27/108, H01L21/8242

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-349248 A (Sony Corp.), 15 December, 2000 (15.12.00), Fig. 3 (Family: none)	1 2-4
X Y	JP 2000-294743 A (Matsushita Electronics Corp.), 20 October, 2000 (20.10.00), Fig. 7 (Family: none)	1 2-4
A	JP 2001-7303 A (Toshiba Corp.), 12 January, 2001 (12.01.01), Fig. 2 & US 2003/0094645 A1 & US 6548844 B	1-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 July, 2004 (26.07.04)

Date of mailing of the international search report

10 August, 2004 (10.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-138349 A (Sharp Corp.), 16 May, 2000 (16.05.00), Par. No. [0038]; Fig. 1 & TW 444397 B & US 6339008 B	2-4
A	JP 2002-170935 A (Matsushita Electric Industrial Co., Ltd.), 14 June, 2002 (14.06.02), All drawings & US 2002/0089870 A1	1-4
A	JP 2001-168292 A (Matsushita Electronics Corp.), 22 June, 2001 (22.06.01), All drawings (Family: none)	1-4
A	JP 2001-85632 A (Matsushita Electronics Corp.), 30 March, 2001 (30.03.01), All drawings & US 6353550 B	1-4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005991

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-15 are linked only by the technical feature "a ferroelectric memory device comprising memory cells each composed of a memory cell transistor and a memory cell capacitor, wherein each memory cell capacitor is composed of a lower electrode connected to a bit line through the memory cell capacitor, a ferroelectric layer formed on the top surface of the lower electrode, and an upper electrode formed on the top surface of the dielectric layer (continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005991

Continuation of Box No.III of continuation of first sheet(2)

and wherein the upper electrodes of the memory cell capacitors constitute a plate electrode common to the memory cell capacitors". However, this technical feature cannot be a special technical feature since it is disclosed in document 1 (JP 2000-349248 A (Sony Corp.) 15 December, 2000 (15.12.00)), especially Fig. 3 and its explanation, document 2 (JP 2000-294743 A (Matsushita Electronics Corp.) 20 October, 2000 (20.10.00)), especially Fig. 7 and its explanation, and document 3 (JP 2001-7303 A (Toshiba Corp.), 12 January, 2001 (12.01.01)), especially Fig. 2.

Therefore, there is no special technical feature so linking the group of inventions of claims 1-15 as to form a single general inventive concept. Consequently, it appears that the group of inventions of claims 1-15 do not satisfy the requirement of unity of invention.

Next, the number of inventions of the claims in the international application so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

Considering the specific modes of the inventions of the independent claims, the inventions of claims 1-15 in this international application contains four groups of inventions: the inventions of claims 1-4; the inventions of claims 5, 6; the inventions of claims 7-10; and the inventions of claims 11-15.

Concerning claims 11-15, the group of inventions of claims 11-15 are linked only by the technical feature that the lower electrode of each memory cell capacitor is "an electrode having a grooved structure". However, this technical feature cannot be a special technical feature since it is disclosed in document 3.

Therefore, considering the specific modes of the inventions of the independent claims, the inventions of claims 11-15 are divided into four groups of inventions: the inventions of claim 11, 12; the invention of claim 13; the invention of claim 14; and the invention of claim 15.

Consequently, claims 1-15 of the international application define seven groups of inventions.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/105, H01L 27/108, H01L 21/8242

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/105, H01L 27/108, H01L 21/8242

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-349248 A(ソニー株式会社)2000.12.15 第3図	1
Y	(ファミリーなし)	2-4
X	JP 2000-294743 A(松下電子工業株式会社)2000.10.20 第7図	1
Y	(ファミリーなし)	2-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
26.07.2004

国際調査報告の発送日
10.8.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 正山 旭	4M	9276
電話番号 03-3581-1101	内線	3460

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-7303 A(株式会社東芝)2001.01.12 第2図 & US 2003/0094645 A1 & US 6548844 B	1-4
Y	JP 2000-138349 A(シャープ株式会社)2000.05.16 第【0038】欄、第1図 & TW 444397 B & US 6339008 B	2-4
A	JP 2002-170935 A(松下電器産業株式会社)2002.06.14 全図 & US 2002/0089870 A1	1-4
A	JP 2001-168292 A(松下電子工業株式会社)2001.06.22 全図 (ファミリーなし)	1-4
A	JP 2001-85632 A(松下電子工業株式会社)2001.03.30 全図 & US 6353550 B	1-4

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-15に記載されている一群の発明は、「メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルキャパシタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は複数のメモリセルキャパシタに共通するプレート電極を形成している」という事項でのみ連関していると認めるが、この事項は、文献1（JP 2000-3492 48 A（ソニー株式会社）2000.12.15）の、特に第3図及び図面説明箇所、文献2（JP 2000-294743 A（松下電子工業株式会社）2000.10.20）の、特に第7図及び図面説明箇所、及び、文献3（JP 2001-7303 A（株式会社東芝）2001.01.12）の、特に第2図に記載されているため、特別な技術的特徴とはなり得ない。（以下、特別ページ参照。）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。
請求の範囲1-4

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第1ページの続葉(2)の第Ⅲ欄の続き)

そうすると、請求の範囲1-15に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲1-15に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-15は、請求の範囲1-4と、請求の範囲5-6と、請求の範囲7-10と請求の範囲11-15の4群に区分されるものと認める。

また、請求の範囲11-15に関していえば、請求の範囲11-15に記載されている一群の発明は、各メモリセルキャパシタの下部電極が「溝型構造を有する電極」という事項でのみ連関していると認めるが、この事項は文献3に記載されているため、特別な技術的特徴とはなり得ない。

よって、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-15には、請求の範囲11-12と、請求の範囲13と、請求の範囲14と、請求の範囲15と、に区分される4個の発明が記載されていると認める。

従って、この国際出願の請求の範囲1-15には、7個の発明が記載されていることとなる。